มหาวิทยาลัยราชภัฏนครปฐม
Nakhon Pathom Rajabhat University

Lecture 7 Basic DAC and ADC

Thawatchai Thongleam
Program in Electronics Engineering
Faculty of Science and Technology
Nakhon Pathom Rajabhat University

มหาวิทยาลัย
ราชภัฏนครปฐม

Outline

- Introduction
- Digital to Analog converter
  - วงจร D/A แบบน้ำหนักตัวต้านทาน 4 บิต
  - *R*-2*R* ladder Network D/A
- Analog to digital converter
  - วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบแฟลชหรือขนาน
  - วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบวงจรนับ
  - วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบคู่สโลป

7.1 Introduction

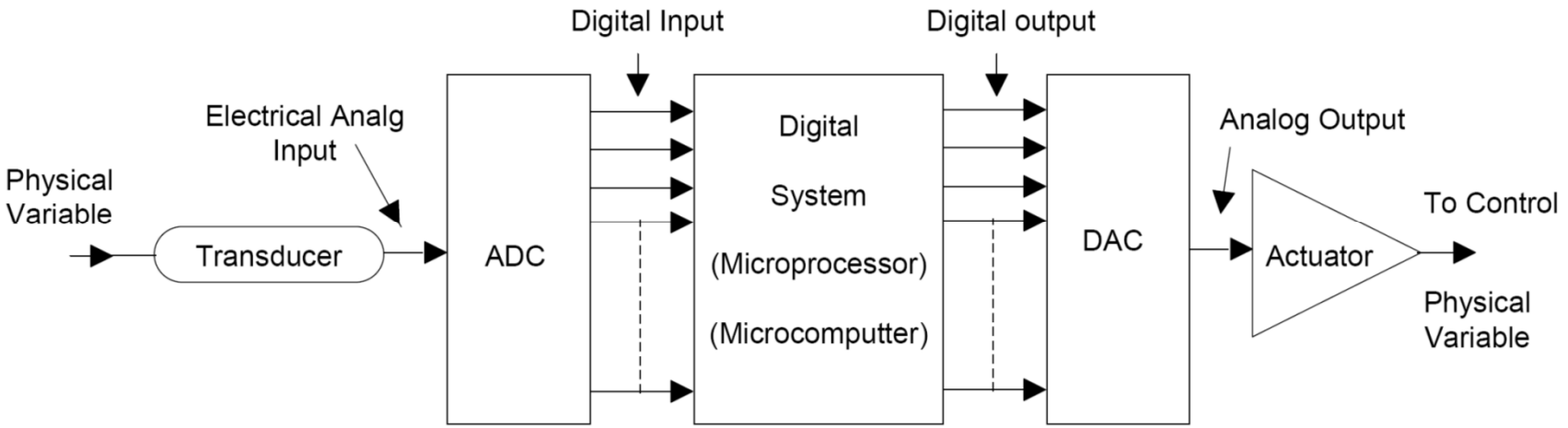


Fig. 7.1 บล็อกไดอะแกรมของระบบควบคุมที่ประกอบด้วยวงจร ADC ตัวประมวลผลและวงจร DAC

7.1 Introduction

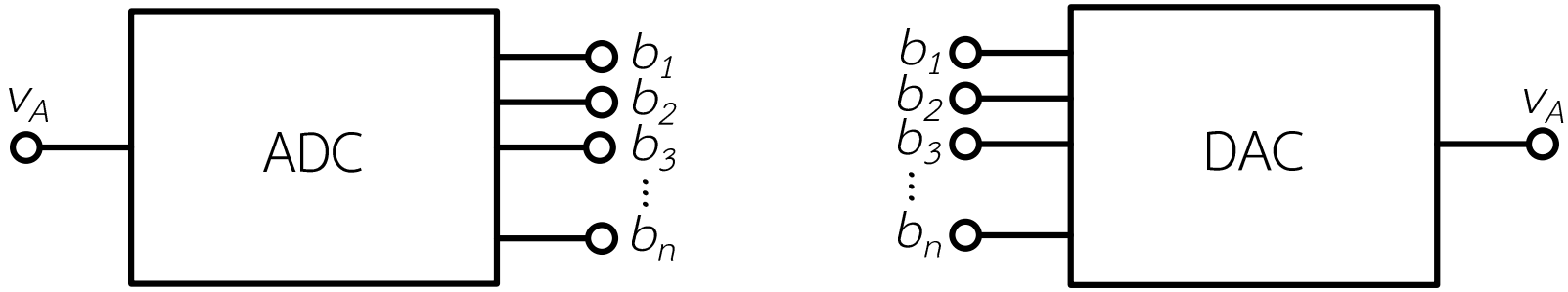


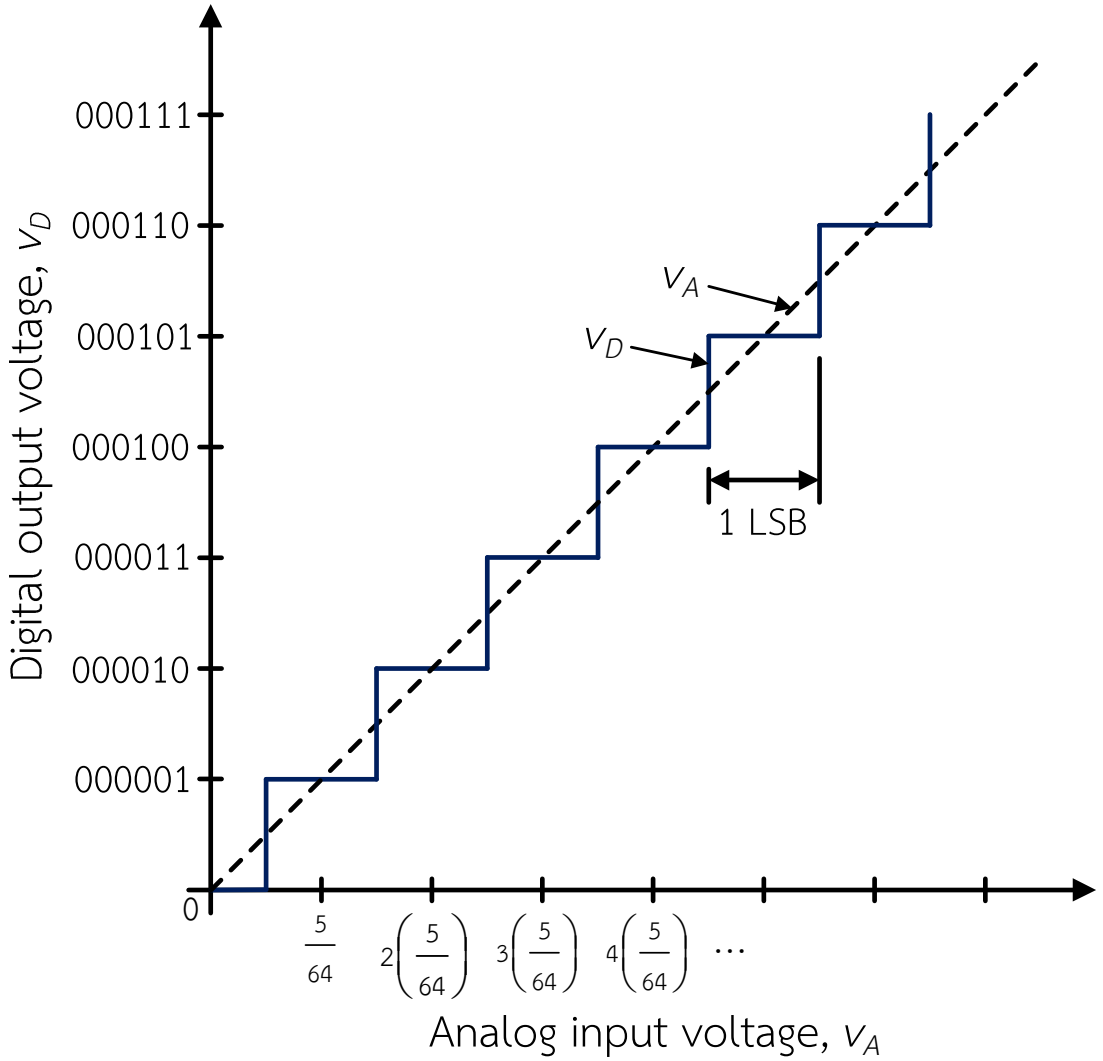
Fig. 4.2 Basic converter (a) ADC and (b) DAC

$$v_A = \frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \cdots + \frac{b_N}{2^N}$$

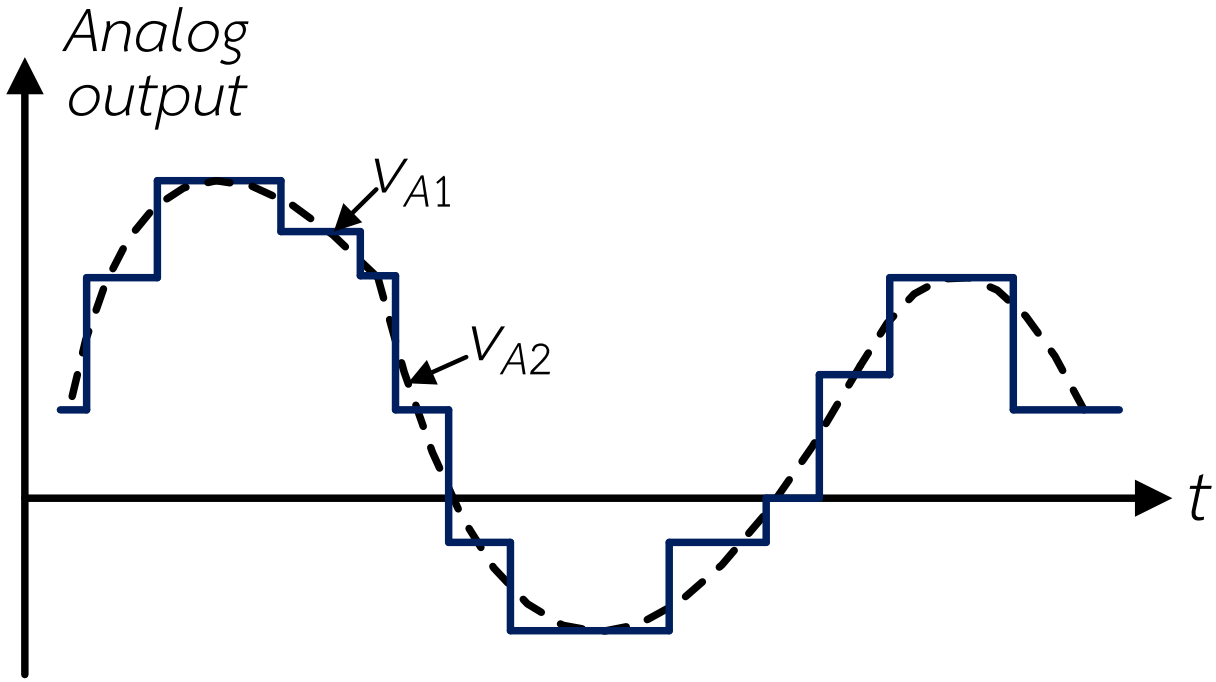
- เมื่อ b_1 b_2 และค่าอื่น ๆ คือ ค่าสัมประสิทธิ์ของบิตที่มีค่าเท่ากับ 1 หรือ 0 บิต b_1 คือบิตสำคัญสูงสุด (MSB) และบิต b_N คือบิตสำคัญต่ำสุด (LSB)

แบบฝึกหัดที่ 7.1 รูปที่ 7.1 แสดงวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล ต้องการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล เมื่อสัญญาณแอนะล็อกมีแรงดันในช่วง 0 </= v_A </= 5 V สมมุติให้เอาต์พุตดิจิตอลของวงจรมี 6 บิต

- สัญญาณดิจิตอล 6 บิต แทนด้วยค่าแอนาล็อก 64 ค่า สัญญาณแอนะล็อกแบ่งออกเป็น 64 ค่า ซึ่งสัญญาณแอนะล็อกหนึ่งค่าเท่ากับ 5 V/64 = 0.078125 V

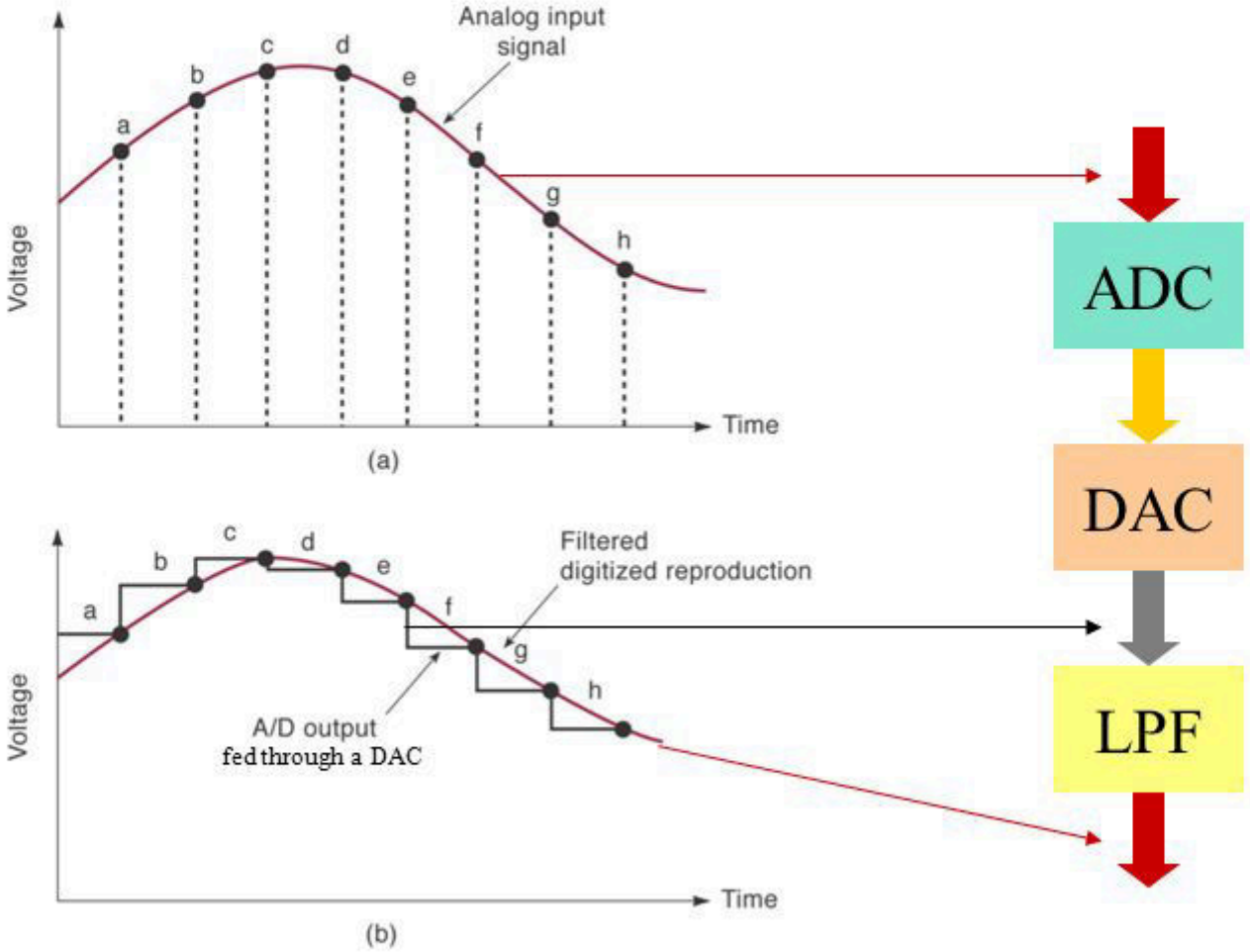


รูปที่ 7.2 กราฟความสัมพันธ์ระหว่างค่าเอาต์พุตดิจิตอลกับค่าอินพุตแอนะล็อกของวงจรแปลงแอนะล็อกเป็นดิจิตอล 16 บิต



รูปที่ 7.3 กราฟความสัมพันธ์ระหว่างค่าเอาต์พุตแอนะล็อกแบบขันบันได v_A และค่าเอาต์พุตแบบต่อเนื่องกับค่าเวลาของวงจรแปลงดิจิตอลเป็นแอนะล็อก

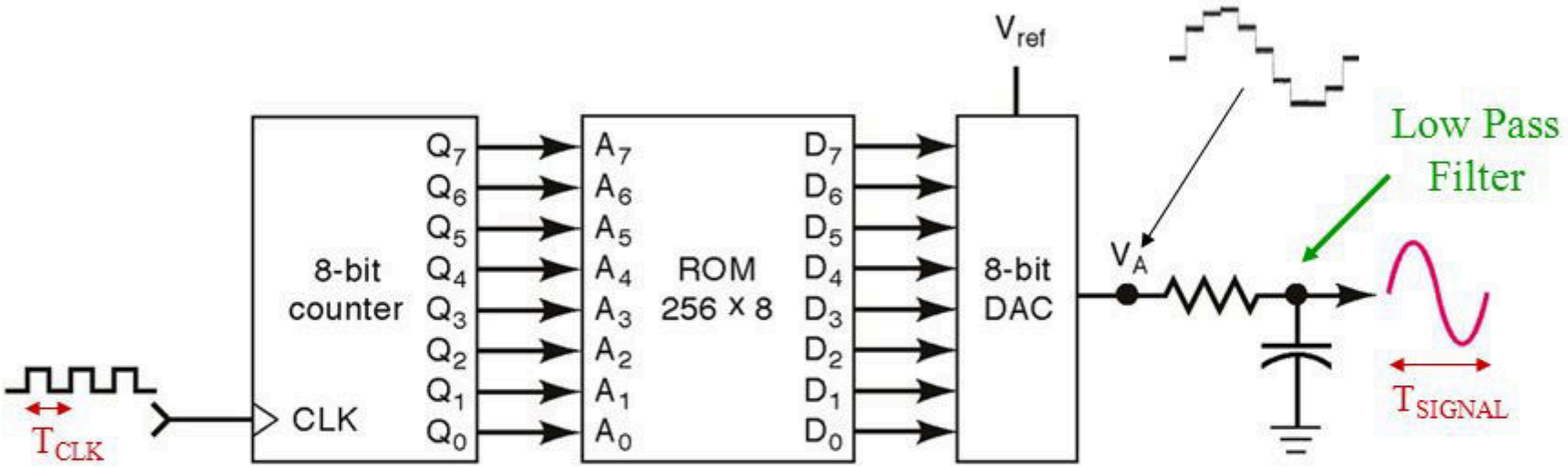
Digitizing an Analog Signal



7.2 Digital to analog converter

- วงจรแปลงดิจิตอลเป็นแอนะล็อก (Digital-to-Analog converter; DAC) คือวงจรที่ทำหน้าที่แปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก

Example: Function Generator Using a ROM and a DAC



For N=8 and $V_{REF} = 5V$

$$V_A(t) = \frac{B}{256}(5V)$$

where B is a value between

0 and 255 stored in a ROM register

$$V_{OUT_{PP}} = \frac{2^N - 1}{2^N} V_{REF}$$

$$= \left(2^N - 1\right)\Delta V$$

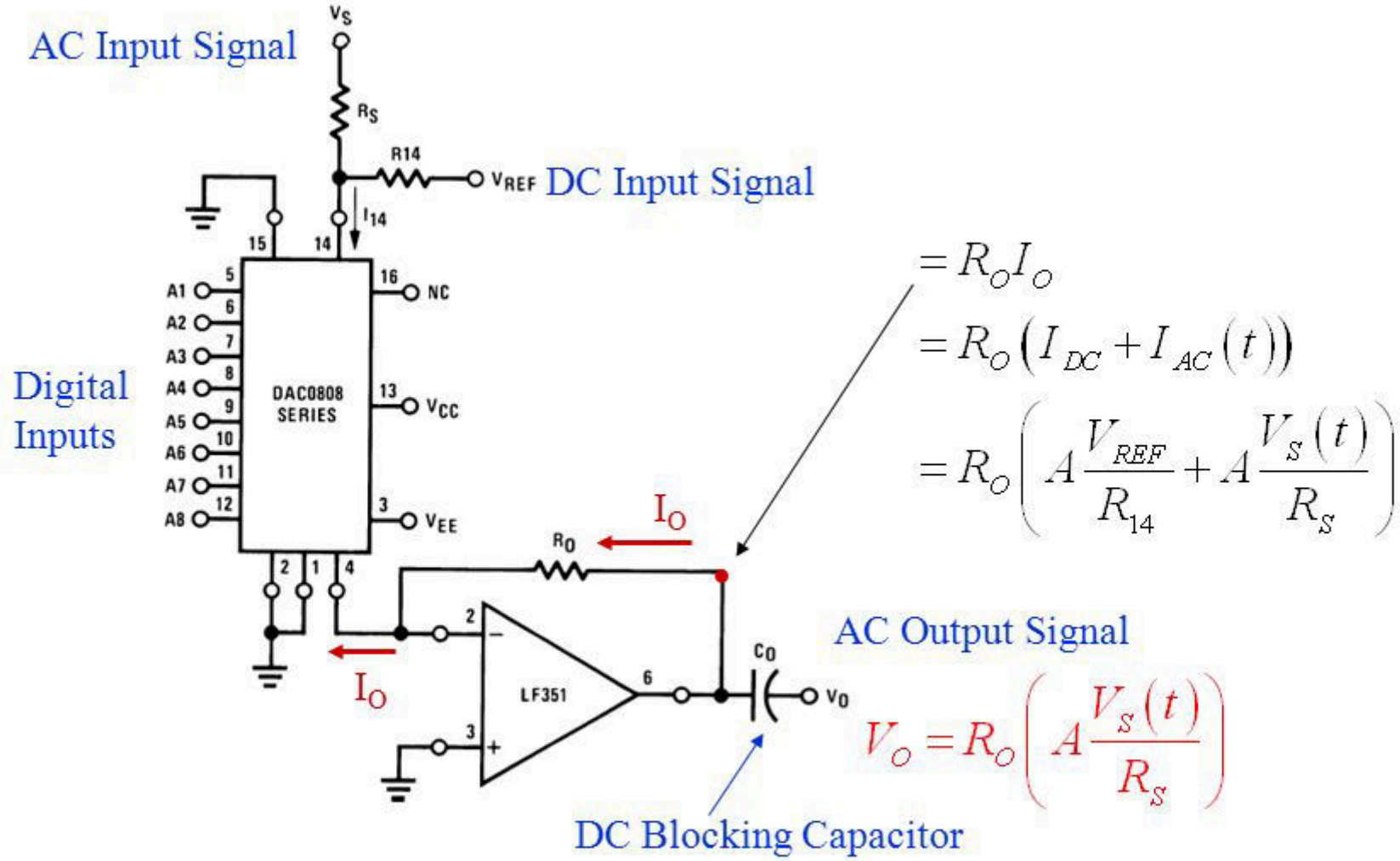
What clock frequency will result in a 100 Hz sine wave at the output?

$$100(256) = 25.6KHz$$

What method could be used to vary the peak-to-peak amplitude of the sine wave?

Adjust the reference voltage of the DAC.

Programmable Gain Amplifier with a DAC



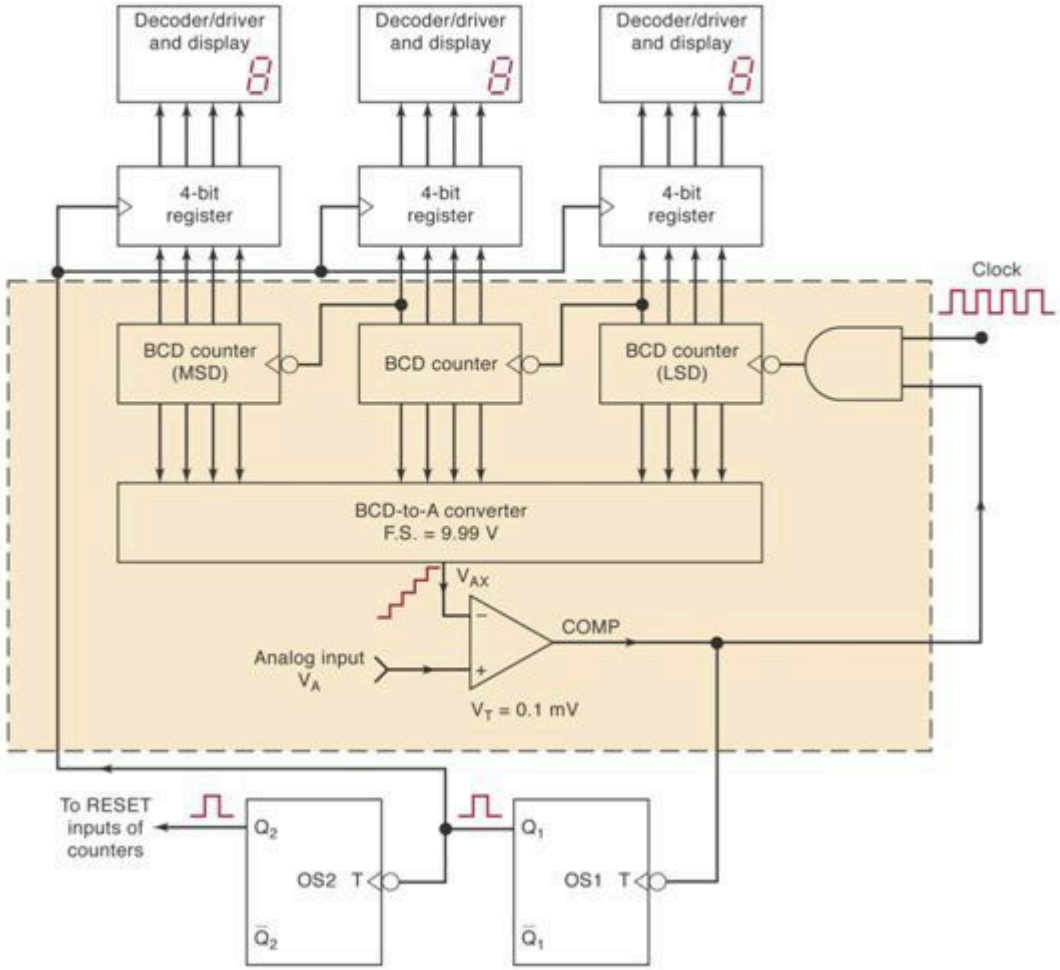
$$= R_O I_O$$

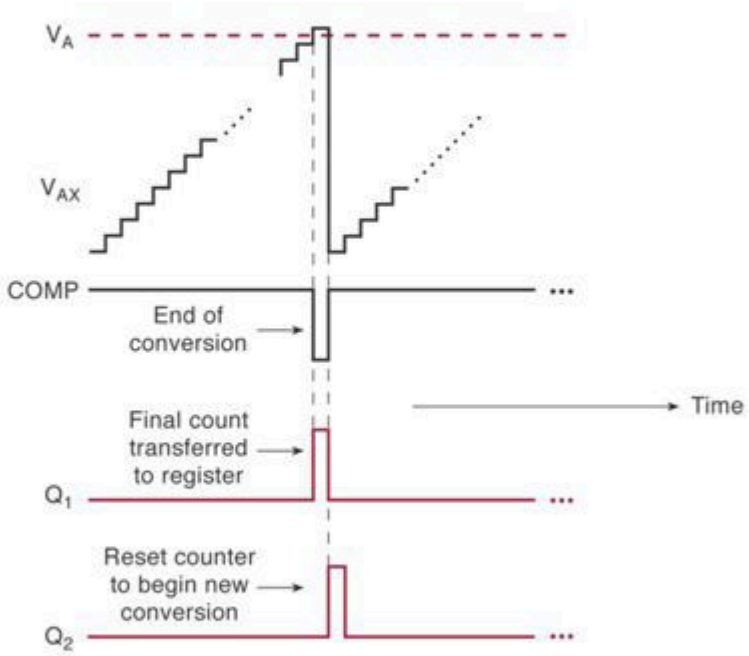
$$= R_O \left(I_{DC} + I_{AC}(t) \right)$$

$$= R_O \left(A \frac{V_{REF}}{R_{14}} + A \frac{V_S(t)}{R_S} \right)$$

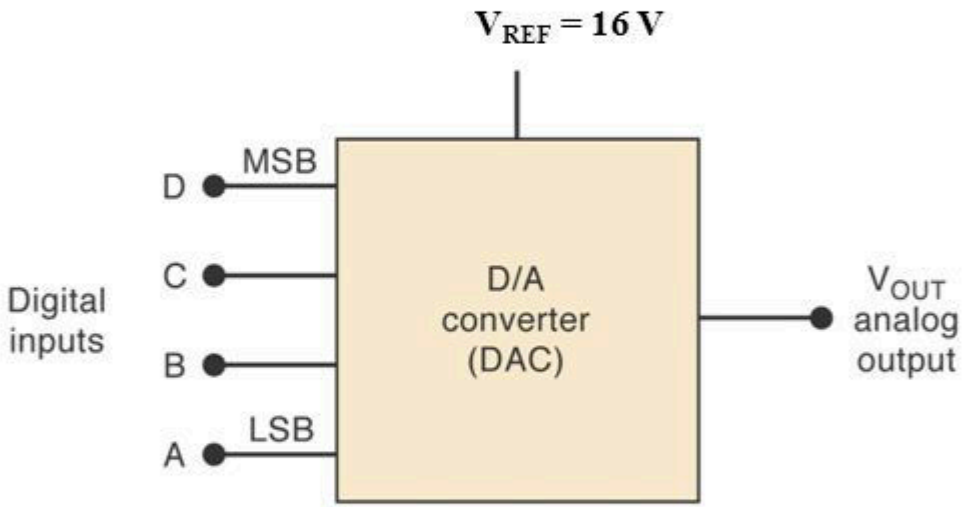
$$V_O = R_O \left(A \frac{V_S(t)}{R_S} \right)$$

DVM Using an ADC





Four-Bit DAC with Voltage Output



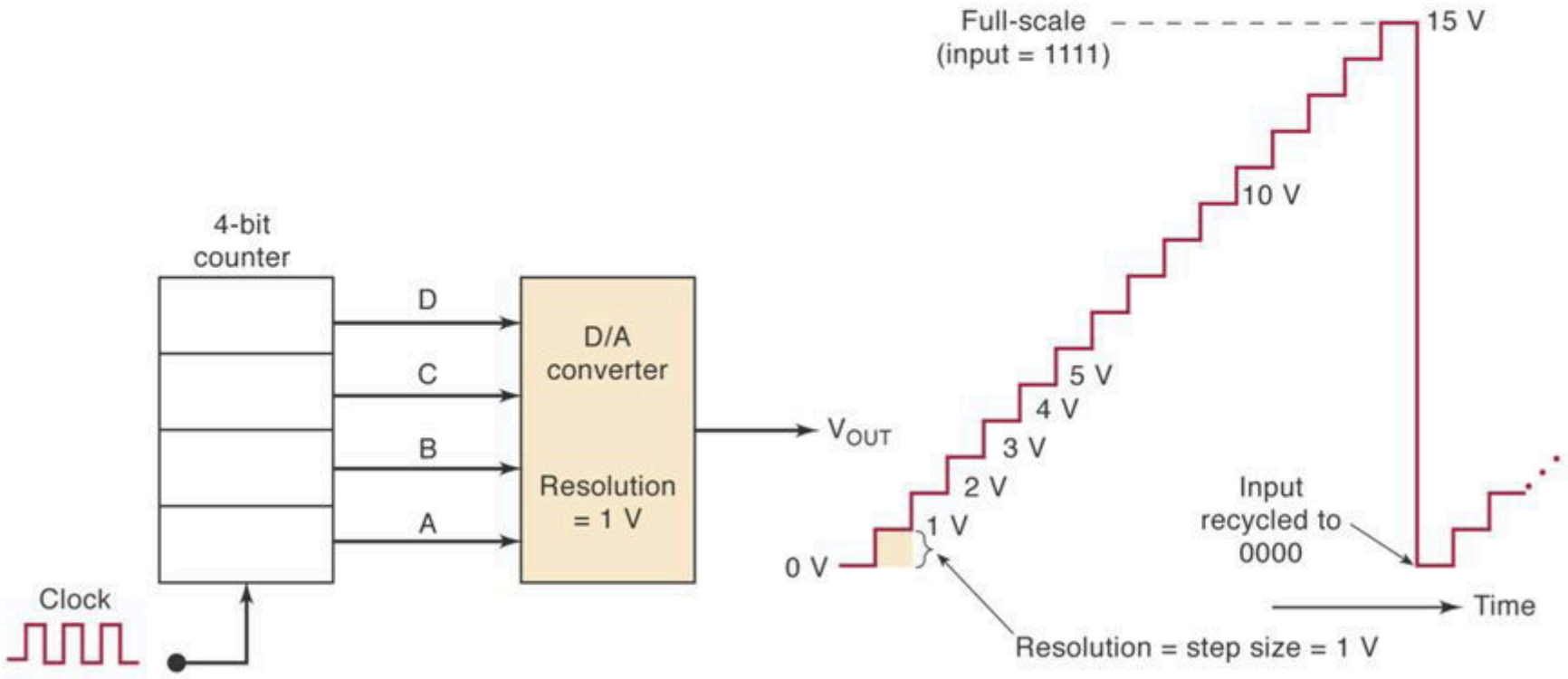
(a)

D	C	B	A	V_{OUT}	
0	0	0	0	0	Volts
0	0	0	1	1	
0	0	1	0	2	
0	0	1	1	3	
0	1	0	0	4	
0	1	0	1	5	
0	1	1	0	6	
0	1	1	1	7	
1	0	0	0	8	
1	0	0	1	9	
1	0	1	0	10	
1	0	1	1	11	
1	1	0	0	12	
1	1	0	1	13	
1	1	1	0	14	
1	1	1	1	15	Volts

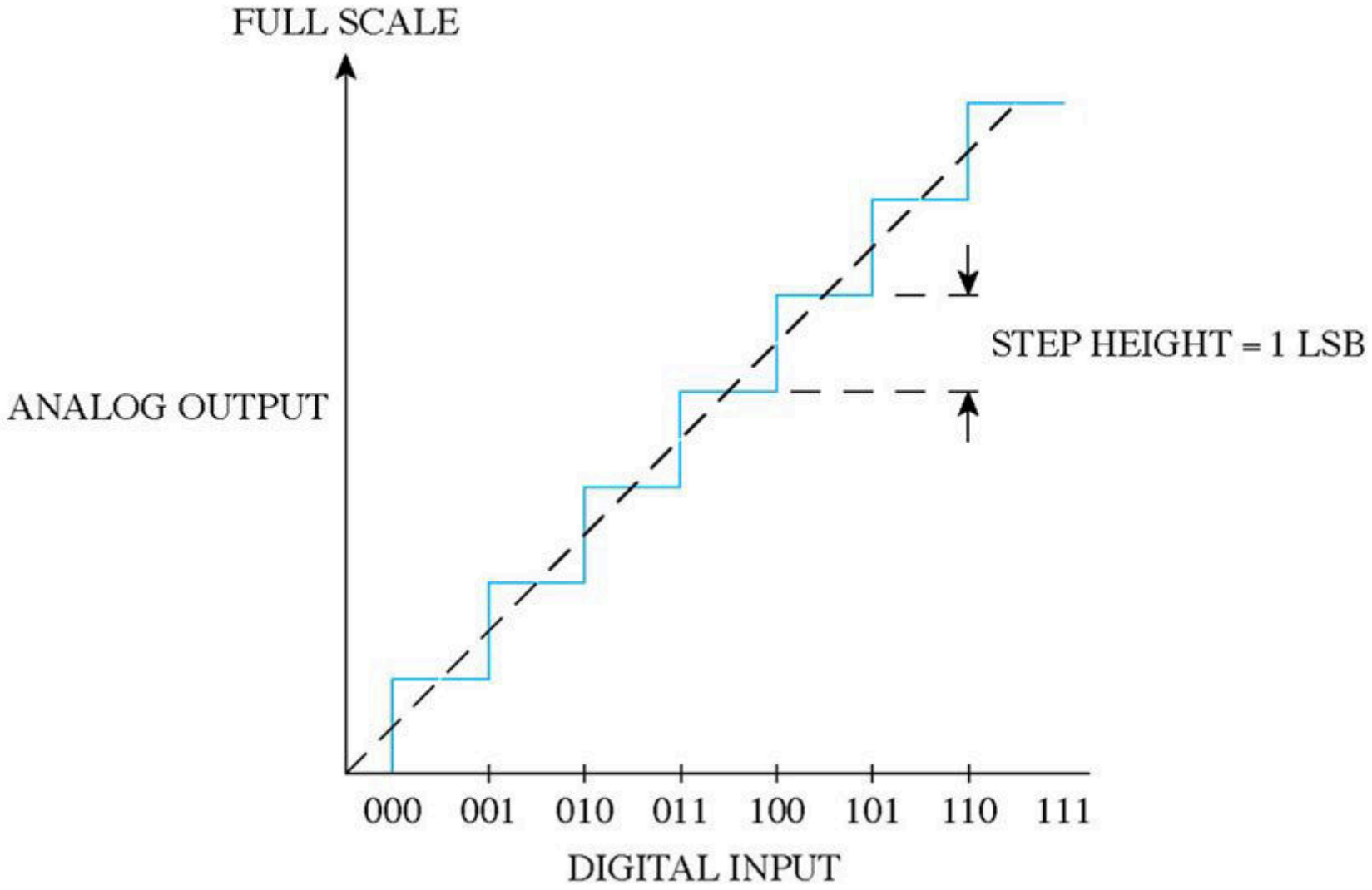
(b)

$$V_{STEP} = \frac{V_{FS}}{2^N - 1} = \frac{V_{REF}}{2^N}$$

Output Waveform of a 4-Bit DAC with a Binary Counter Supplying the Input



DAC Transfer Function



Definitions

- **Full Scale Output** – the maximum value that the D/A converter can produce.
- **Resolution or Step Size** – the smallest change that can occur in the analog output as a result of a change in the digital input.

$$K = \frac{A_{FS}}{2^N - 1}$$ where N is number of bits

- **Analog Output** = K • decimal value of the digital input
- **Percentage Resolution**

$$= \frac{resolution}{full\ scale} \times 100\%$$

- **Accuracy**
  - Full Scale Error – maximum deviation of the DAC's output from its ideal value.
  - Linearity Error – maximum deviation in step size from the ideal step size.
  - Offset Error – the small output voltage that exists when all inputs are "0"
- **Settling Time** – the time required for the DAC output to go from zero to full scale as the binary input goes from all 0's to all 1's.

Example Problems

1) An eight-bit DAC produces an output voltage of 2.0 V for an input code of 01100100. What will the value of V_{OUT} be for an input code of 10110011?

$01100100_2 = 100_{10}$
$10110011_2 = 179_{10}$
(179/100) = (X/2V)
X = 3.58V

2) What is the resolution of the DAC in the previous? Express it in volts and as a percentage. Determine the weight of each input bit.

Resolution = 2V/100 = 20mV
Full Scale Voltage = 20mV $(2^8 - 1)$ = 5.1V
% Resolution = [20mV / {20mV $(2^8 - 1)$ }] x 100% ≈ 0.4%
LSB = 2V/100 = 20mV
Other bits: 40mV, 80mV, 160mV, 320mV, 640mV, 1280mV, and 2560mV.

Example Problems

6) An eight-bit DAC has a full-scale error of 0.2% F.S. If the DAC has a full-scale output of 10 mA, what is the most that it can be in error for any digital input? If the DAC output reads 50 μA for a digital input of 00000001, is this within the specified range of accuracy? (Assume no offset error.)

Full Scale error = 0.2% x 10mA = 20μA

Step-Size = 10mA/255 = 39.2μA. Ideal output for 00000001_2 is 39.2μA.

The possible range is 39.2μA ± 20μA = 19.2μA to 59.2μA.

Thus, 50μA is within this range.

Example Problems

7) A particular 6-bit DAC has a full-scale output rated at 1.260 V. Its accuracy is specified as ± 0.1% F.S., and it has an offset error of ±1 mV. Assume that the offset error has not been zeroed out. Consider the measurements made on this DAC in the table below, and determine which of them are not within the device's specifications.

Input Code	Output
000010	41.5 mV
000111	140.2 mV
001100	242.5 mV
111111	1.258 V

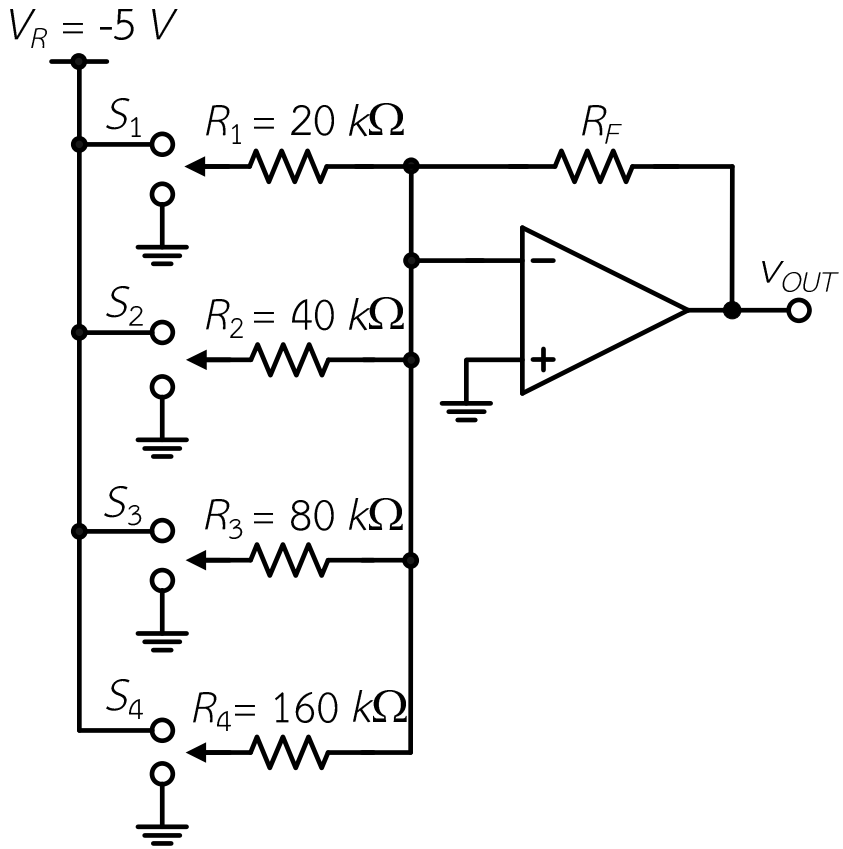
Step-Size = 1.26V/63 = 20mV

±0.1% F.S. = ±1.26mV

Thus, maximum error will be
±1.26mV ±1mV = ±2.26 mV.

000010_2 --> 2 x 20mV = 40mV [41.5mV is within specs.] .
000111_2 --> 7 x 20mV = 140mV [140.2mV is within specs.] .
001100_2 --> 12 x 20mV = 240mV [242.5mV isn't within specs.] .
111111_2 --> 63 x 20mV = 1.260V [1.258 V is within specs.] .

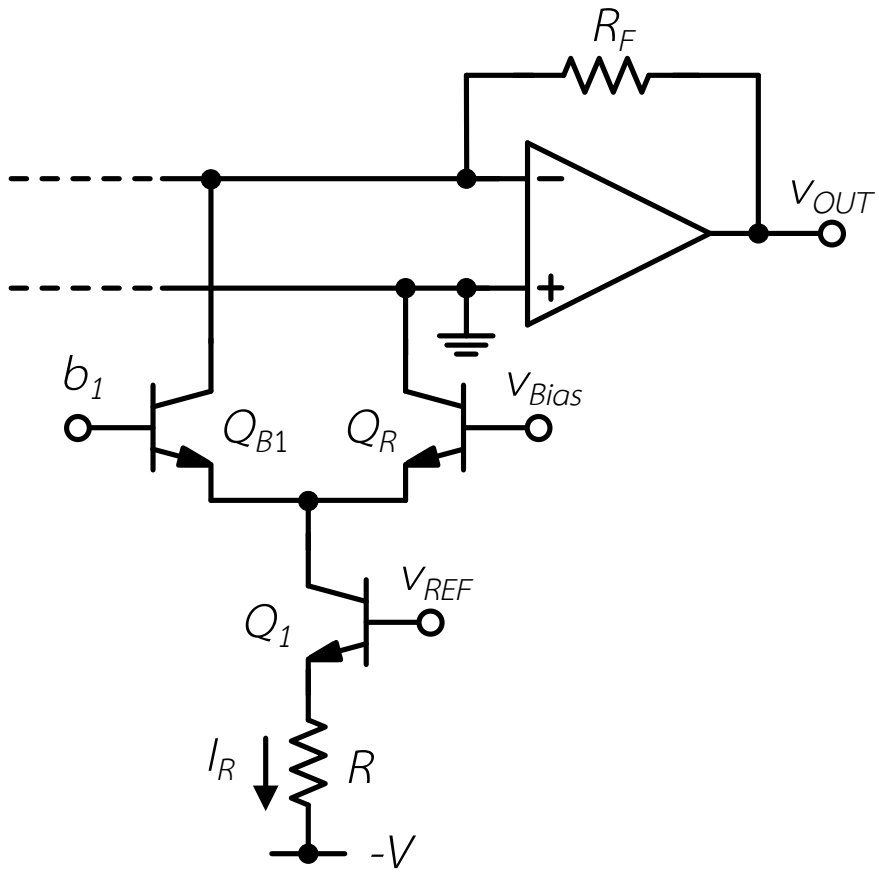
7.2.1 วงจร D/A แบบน้ำหนักตัวต้านทาน 4 บิต



$$v_{OUT} = \left(\frac{b_1}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \frac{b_4}{16} \right) 5V$$

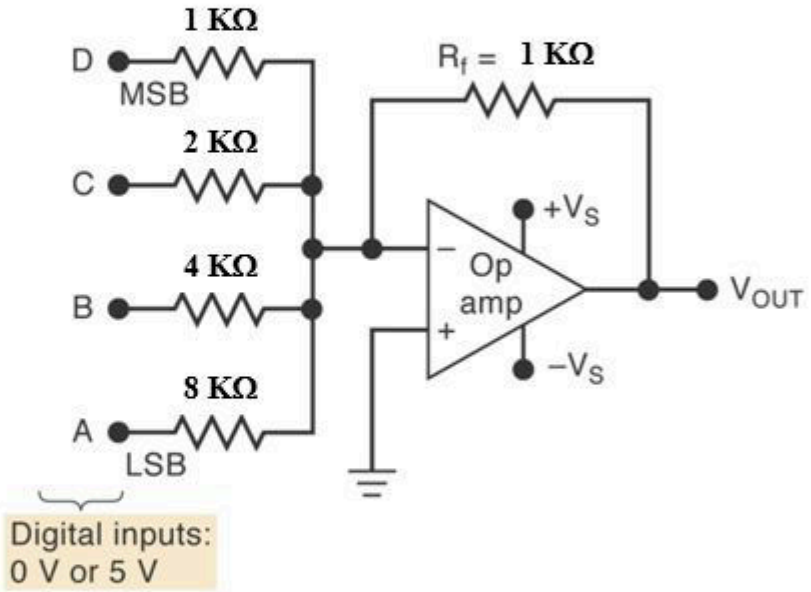
$$R_F = 10k$$

รูปที่ 7.4 วงจร D/A แบบน้ำหนักตัวต้านทาน 4 บิต



รูปที่ 7.6 ตัวอย่างของวงจรสวิตช์กระแสในตำแหน่ง MSB ใน วงจร D/A แบบน้ำหนักตัวต้านทาน

Simple DAC Using an Op-Amp Summing Amplifier with Binary-Weighted Resistors



(a)

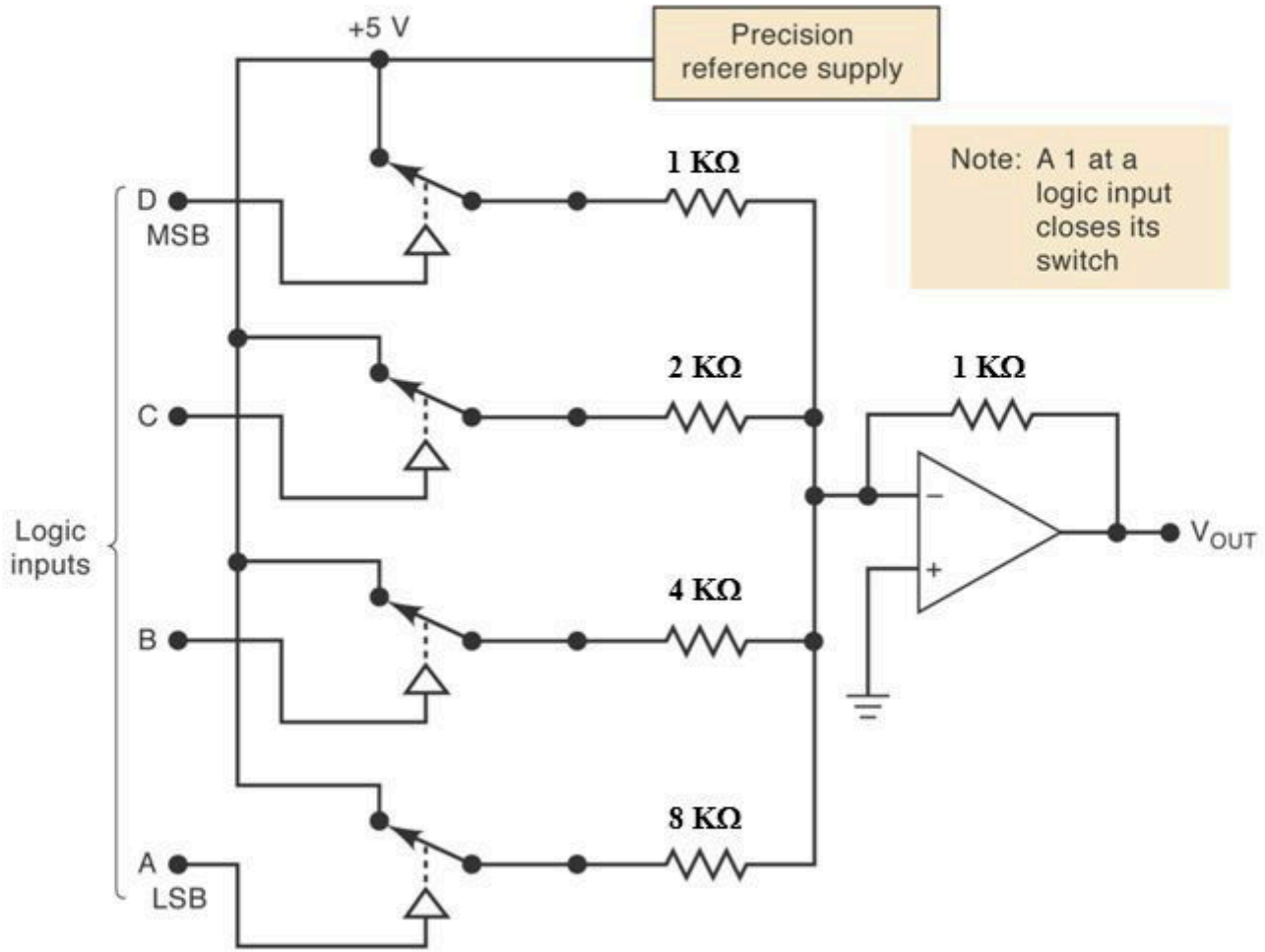
Input code D	C	B	A	V_{OUT} (volts)	
0	0	0	0	0	
0	0	0	1	−0.625	← LSB
0	0	1	0	−1.250	
0	0	1	1	−1.875	
0	1	0	0	−2.500	
0	1	0	1	−3.125	
0	1	1	0	−3.750	
0	1	1	1	−4.375	
1	0	0	0	−5.000	
1	0	0	1	−5.625	
1	0	1	0	−6.250	
1	0	1	1	−6.875	
1	1	0	0	−7.500	
1	1	0	1	−8.125	
1	1	1	0	−8.750	
1	1	1	1	−9.375	← Full-scale

(b)

$$V_{OUT} = -\frac{R_F}{R_D}V_D - \frac{R_F}{R_C}V_C - \frac{R_F}{R_B}V_B - \frac{R_F}{R_A}V_A$$

$$= -\left(V_D + \tfrac{1}{2}V_C + \tfrac{1}{4}V_B + \tfrac{1}{8}V_A\right)$$

Improved DAC using Summing Amplifier with Precision Voltage Source



ตัวอย่างที่ 7.3 วงจรรวมแรงดันสามารถใช้เป็นวงจรแปลงดิจิตอลเป็นแอนะล็อก (DAC) รูปที่ 7.4 แสดงตัวอย่างวงจรแปลงดิจิตอลเป็นแอนะล็อก 4 บิต เมื่อ S_3 ต่อกับแหล่งจ่ายแรงดัน -5 V บิตสูงสุดคือ $a_3 = 1$ และ เมื่อ S_3 ต่อกับกราวด์ บิตสูงสุด $a_3 = 0$ สวิตช์ S_2 S_1 และ S_0 คือบิตต่ำ a_2 a_1 และ a_0 ซึ่งมีเงื่อนไขเหมือนกับ S_3

(ก) หาค่าแรงดันเอาต์พุตที่ได้จากสมการ

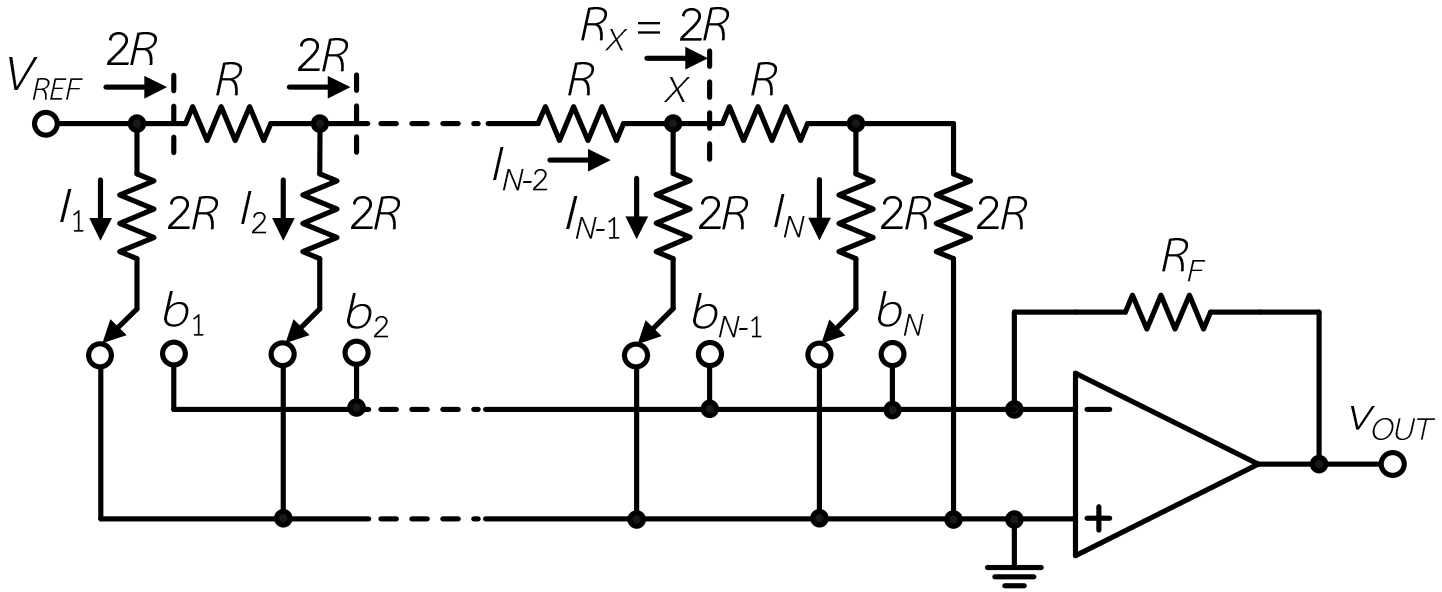
$$v_O = \frac{R_F}{10}\left(\frac{a_3}{2} + \frac{a_2}{4} + \frac{a_1}{8} + \frac{a_0}{16}\right)5V \qquad (7.3)$$

เมื่อ R_F มีค่าเป็น kΩ

(ข) หาค่า R_F เมื่อ $v_O = 2.5$ V เมื่อค่าดิจิตอลอินพุต $a_3a_2a_1a_0 = 1000$

(ค) นำผลที่ได้จากข้อ (ข) มาหา v_O เมื่อ $a_3a_2a_1a_0 = 0001$ และเมื่อ $a_3a_2a_1a_0 = 1111$

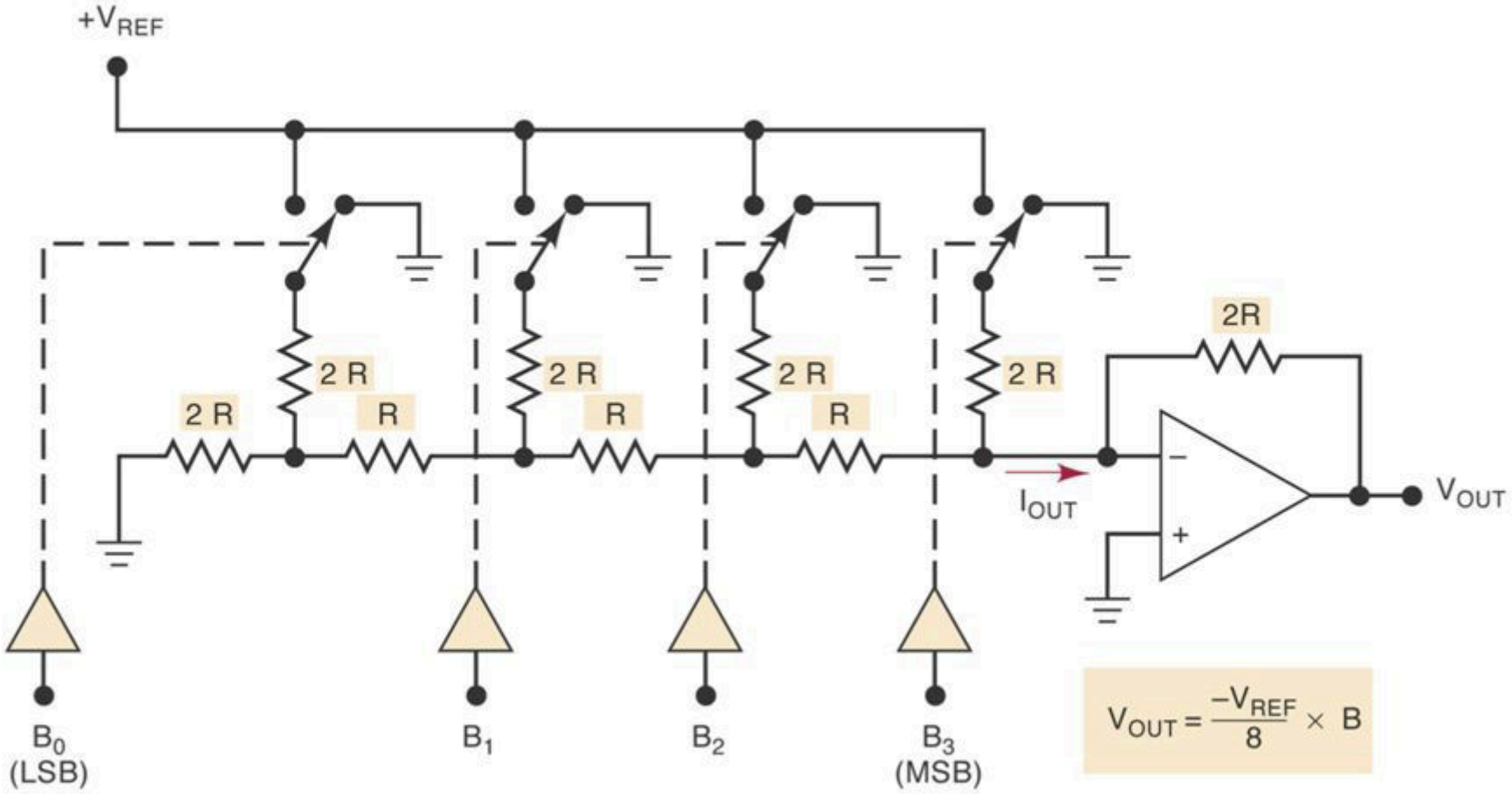
7.2.2 วงจรแปลงดิจิตอลเป็นแอนะล็อกแบบเครือข่าย *R*-2*R* เลดเดอร์ (*R*-2*R* ladder Network D/A)



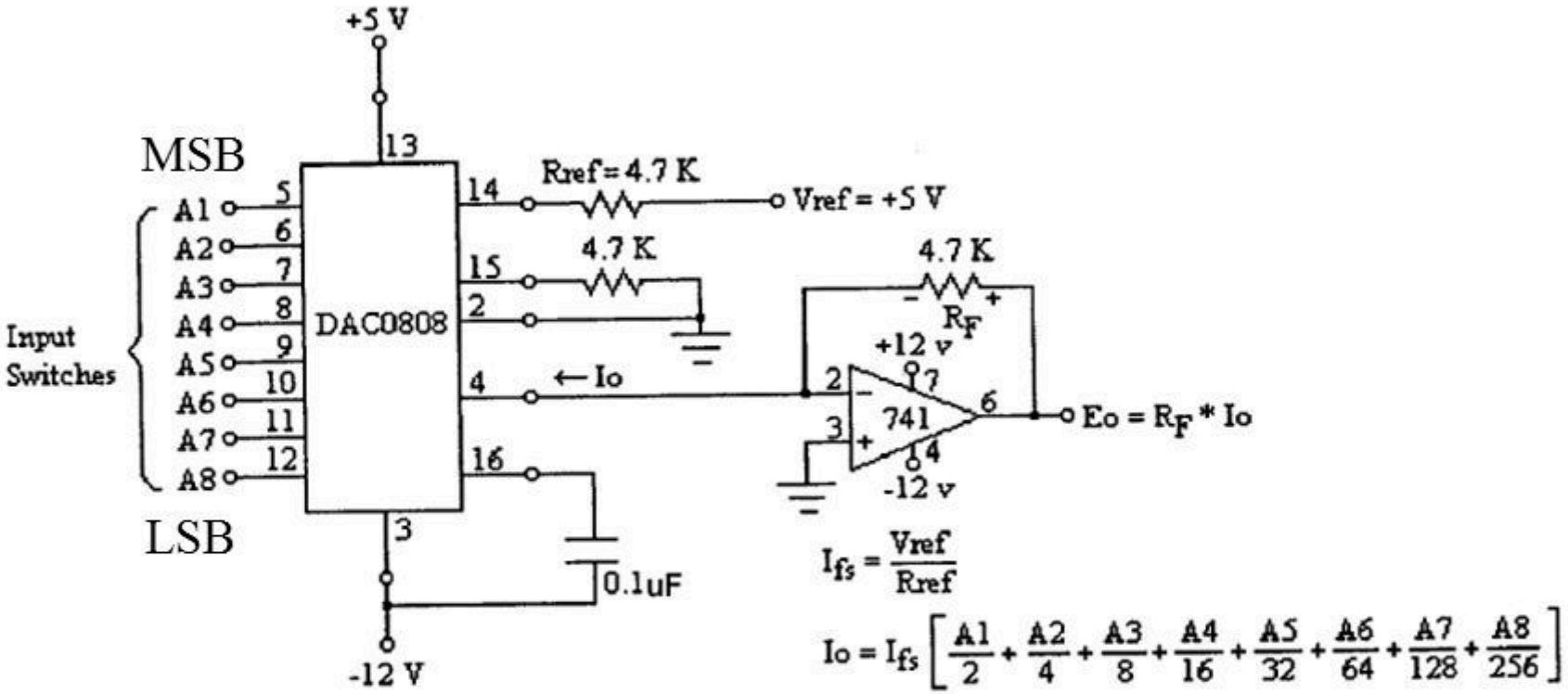
รูปที่ 7.7 ตัวอย่างของวงจร *R*-2*R* เลดเดอร์ ของวงจรแปลงดิจิตอลเป็นแอนะล็อก N บิต

$$I_1 = 2I_2 = 4I_3 = \cdots = 2^{N-2}I_{N1} = 2^{N-1}I_N \qquad v_O = -V_{REF}\left(\frac{b_1}{2} + \frac{b_2}{4} + \cdots + \frac{b_N}{2^N}\right)$$

Basic *R*/2*R* Ladder DAC



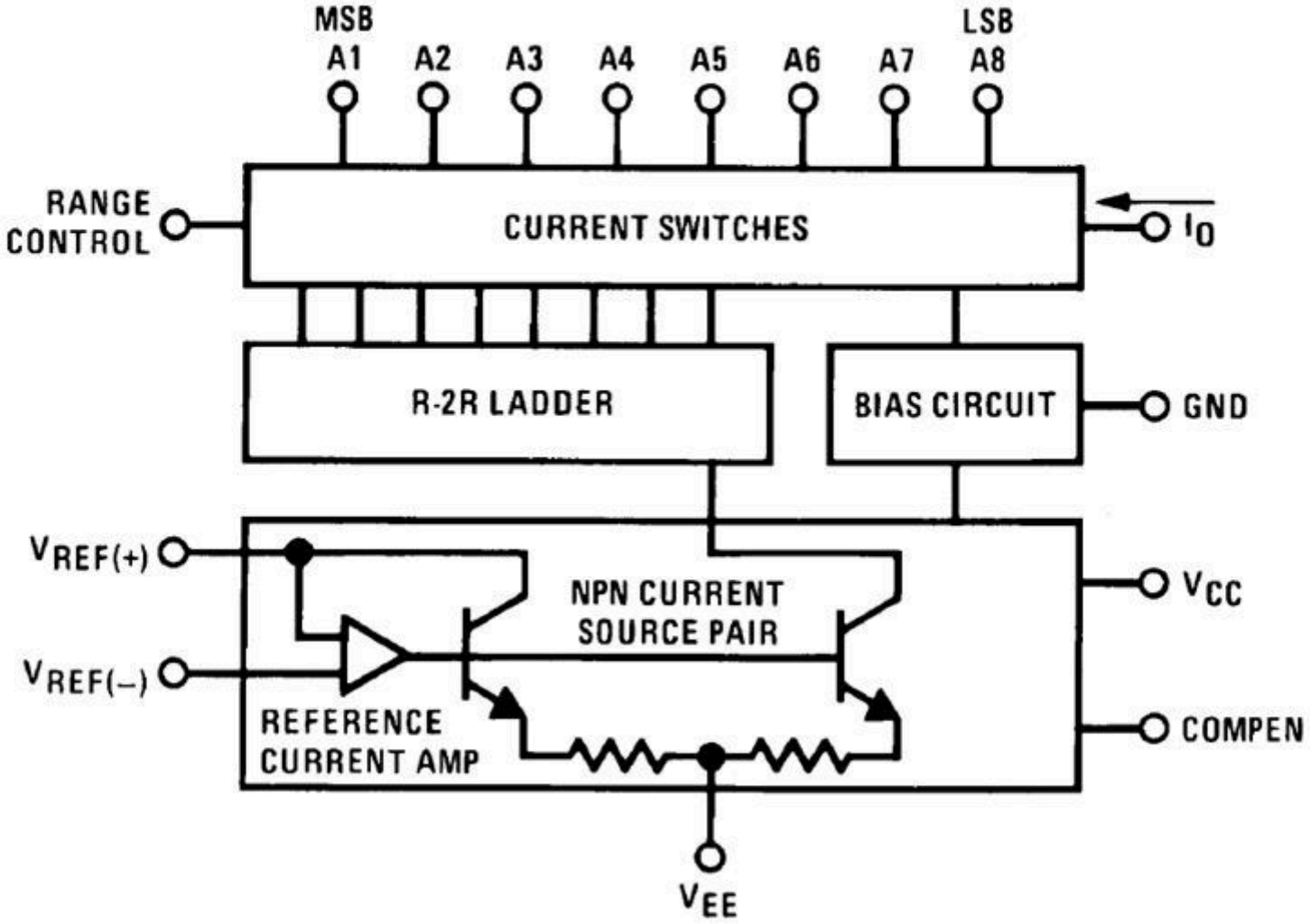
DAC Circuit



Assuming matched resistors ($R_F = R_{ref}$),

$$\text{thus } E_o = V_{ref}\left[\frac{A1}{2}+\frac{A2}{4}+\frac{A3}{8}+\frac{A4}{16}+\frac{A5}{32}+\frac{A6}{64}+\frac{A7}{128}+\frac{A8}{256}\right]$$

DAC0808 Block Diagram



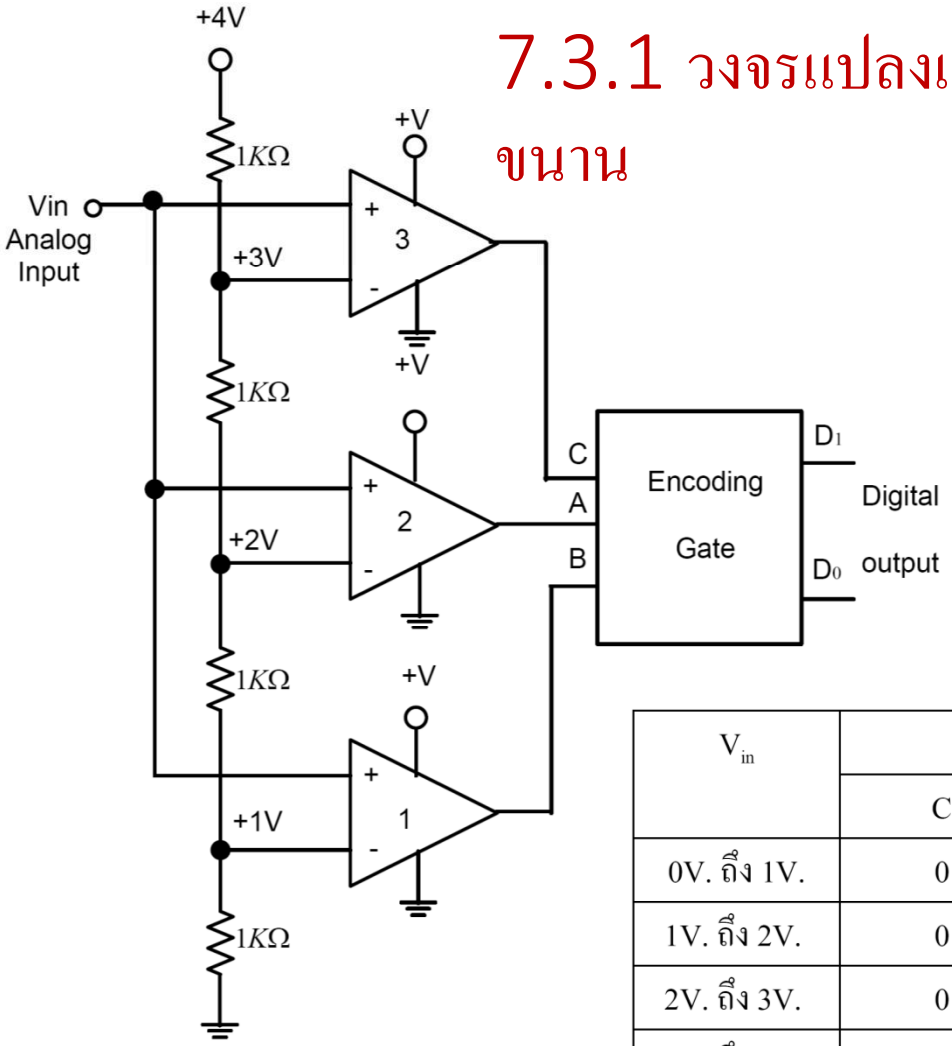
DAC0808 Specifications

- The DAC0808 is an 8-bit monolithic DAC
- Full Scale Error: ±0.19%
- Offset current levels less than 4 μA for $I_{REF} \geq 2$ mA
- Maximum output current: 2 mA.
- Fast settling time: 150 ns typical
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

7.3 Analog to digital converter

- วงจรแปลงแอนะล็อกเป็นดิจิตอล (Analog-to-Digital converter; ADC) คือวงจรที่ทำหน้าที่แปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล ซึ่งวิธีการในการแปลงสัญญาณจากแอนะล็อกเป็นดิจิตอลมีหลายวิธี
  - Counter Ramp ADC
  - Linear Ramp ADC
  - Dual Slope ADC
  - Successive Approximation ADC

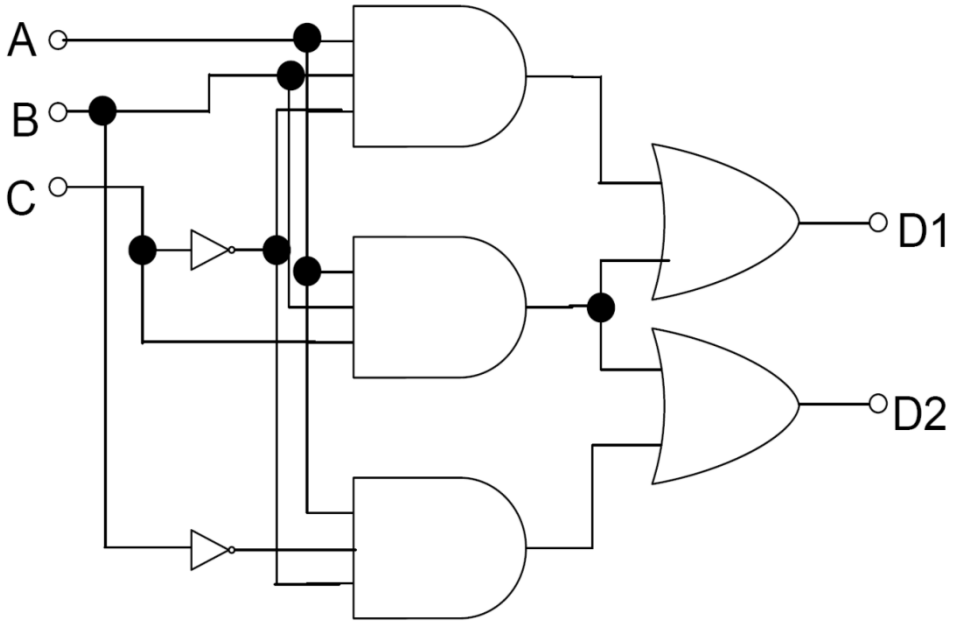
7.3.1 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบแฟลชหรือขนาน



V_{in}	Comparator Output			Digital Outputs	
	C	B	A	D_1	D_0
0V. ถึง 1V.	0	0	0	0	0
1V. ถึง 2V.	0	0	1	0	1
2V. ถึง 3V.	0	1	1	1	0
3V. ถึง 4V.	1	1	1	1	1

Fig .4.5 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบแฟลชหรือขนาน มีเอาต์พุต 3 บิต

วงจร Encoding Gate

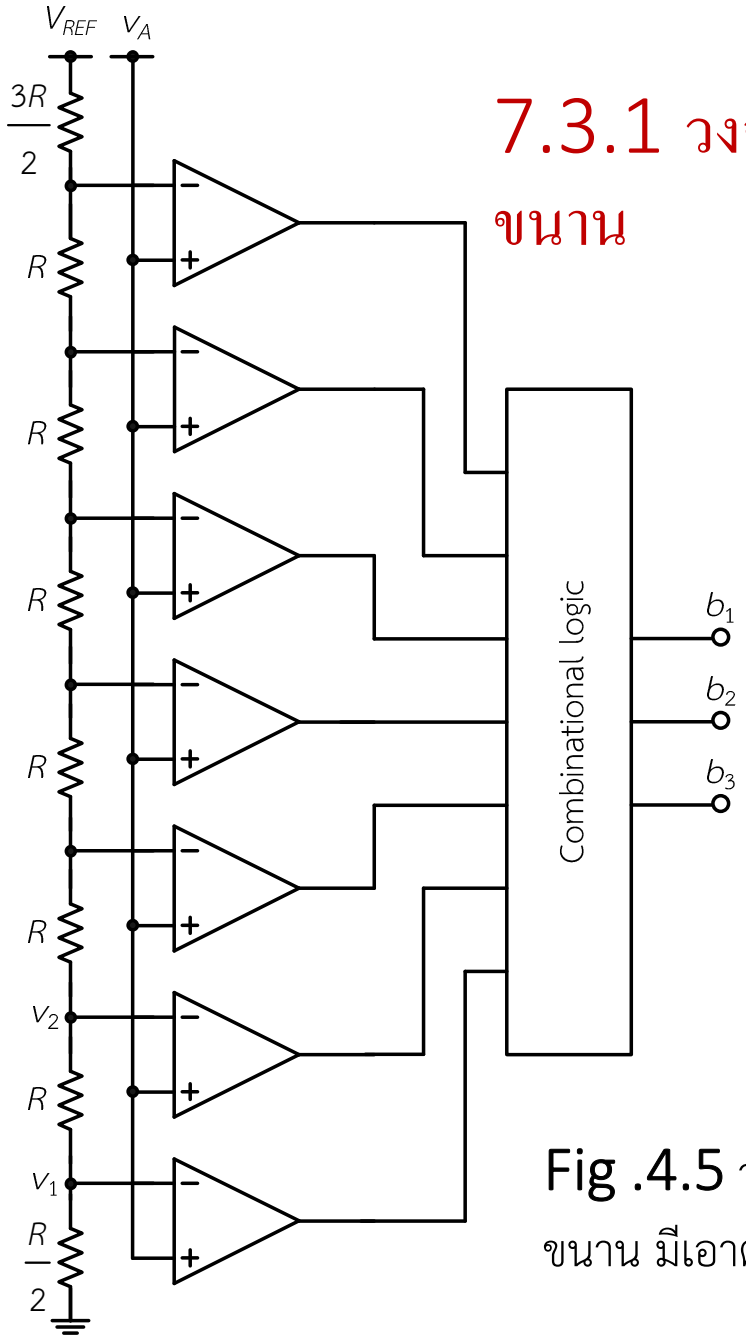


$$D_0 = A\overline{B}\,\overline{C} + ABC$$

$$D_1 = AB\overline{C} + ABC$$

รูปที่ 7.3 วงจร Encoding Gate

7.3.1 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบแฟลชหรือขนาน



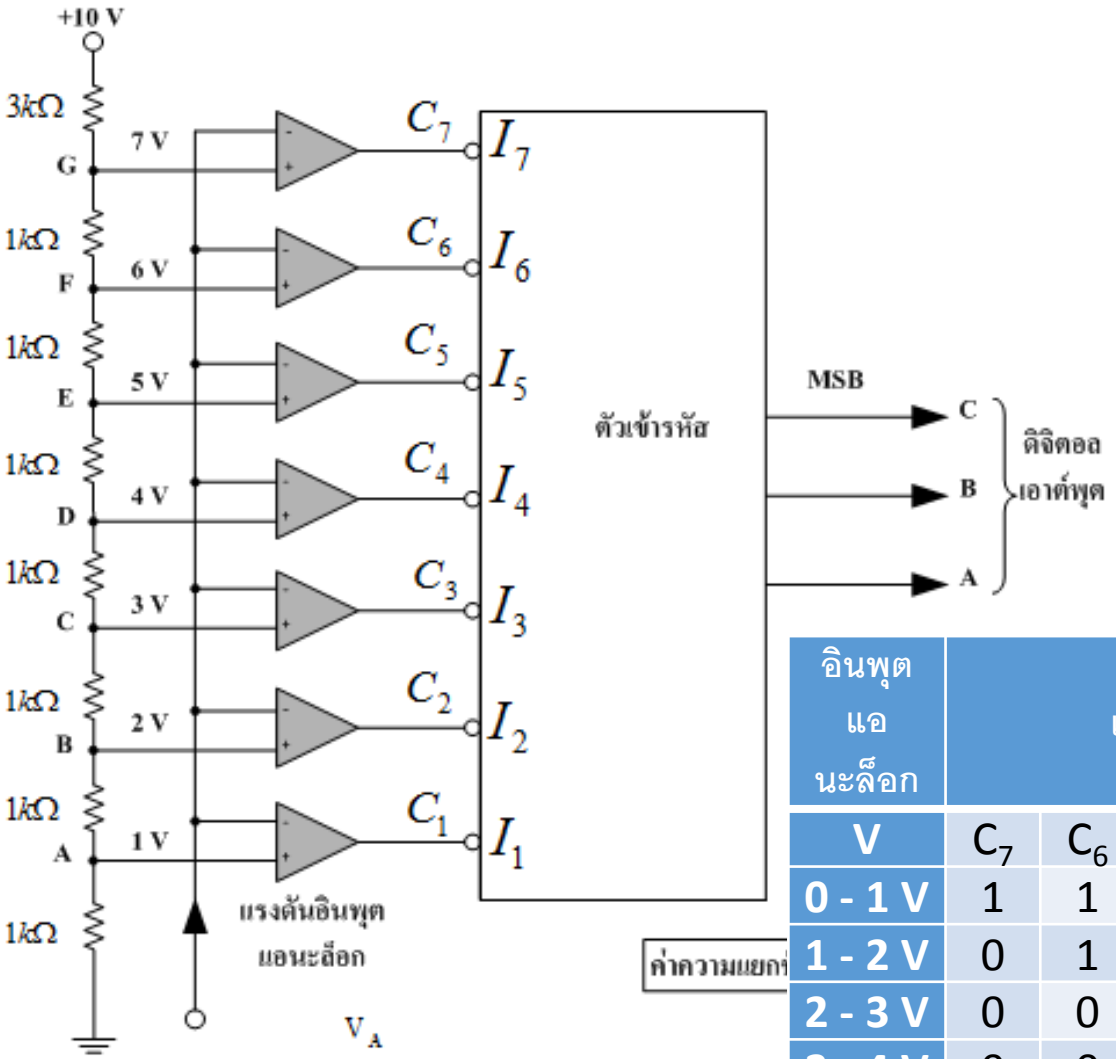
แรงดันเอาต์พุตที่หนึ่งซึ่งแทนด้วย 0.5 LSB เท่ากับ

$$v_1 = \frac{V_{REF}}{8R}\left(\frac{R}{2}\right) = \frac{V_{REF}}{16}$$

แรงดันเอาต์พุตที่สองซึ่งแทนด้วย 1.5 LSB เท่ากับ

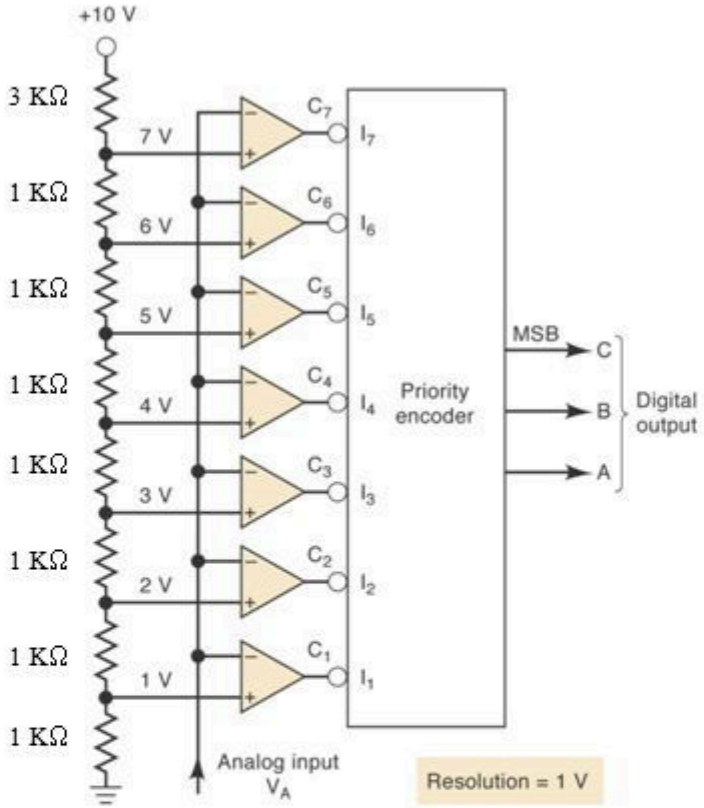
$$v_2 = \frac{V_{REF}}{8R}\left(\frac{3R}{2}\right) = 3\left(\frac{V_{REF}}{16}\right)$$

Fig .4.5 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบแฟลชหรือขนาน มีเอาต์พุต 3 บิต



อินพุต แอนะล็อก	เอาต์พุตของออปแอมป์							ดิจิตอลเอาต์พุต		
V	C_7	C_6	C_5	C_4	C_3	C_2	C_1	C	B	A
0 - 1 V	1	1	1	1	1	1	1	0	0	0
1 - 2 V	0	1	1	1	1	1	1	0	0	1
2 - 3 V	0	0	1	1	1	1	1	0	1	0
3 - 4 V	0	0	0	1	1	1	1	0	1	1
4 - 5 V	0	0	0	0	1	1	1	1	0	0
5 - 6 V	0	0	0	0	0	1	1	1	0	1
6 - 7 V	0	0	0	0	0	0	1	1	1	0
> 7 V	0	0	0	0	0	0	0	1	1	1

Three-Bit Flash ADC

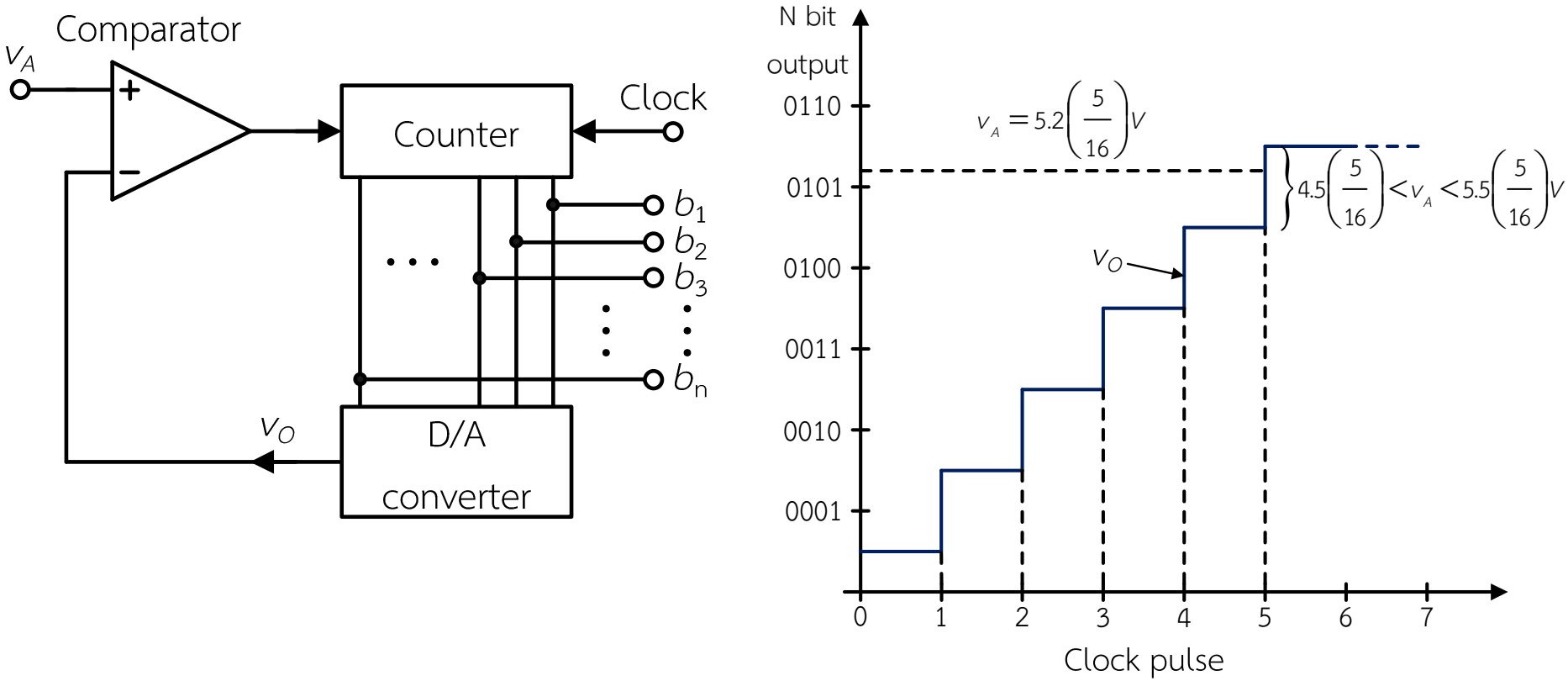


(a)

Analog in	Comparator outputs							Digital outputs		
V_A	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C	B	A
0–1 V	1	1	1	1	1	1	1	0	0	0
1–2 V	0	1	1	1	1	1	1	0	0	1
2–3 V	0	0	1	1	1	1	1	0	1	0
3–4 V	0	0	0	1	1	1	1	0	1	1
4–5 V	0	0	0	0	1	1	1	1	0	0
5–6 V	0	0	0	0	0	1	1	1	0	1
6–7 V	0	0	0	0	0	0	1	1	1	0
> 7 V	0	0	0	0	0	0	0	1	1	1

(b)

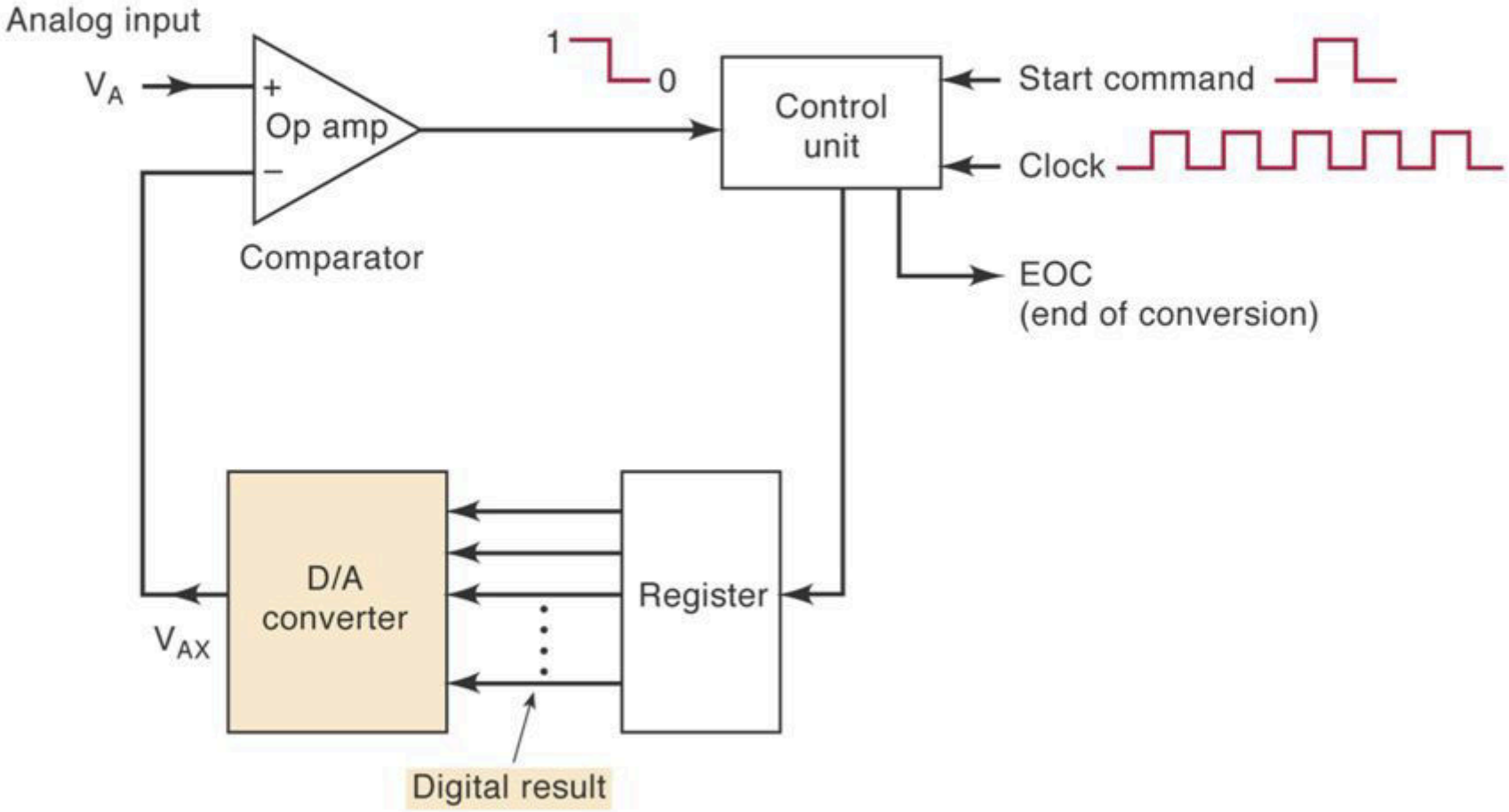
7.3.2 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบวงจรนับ

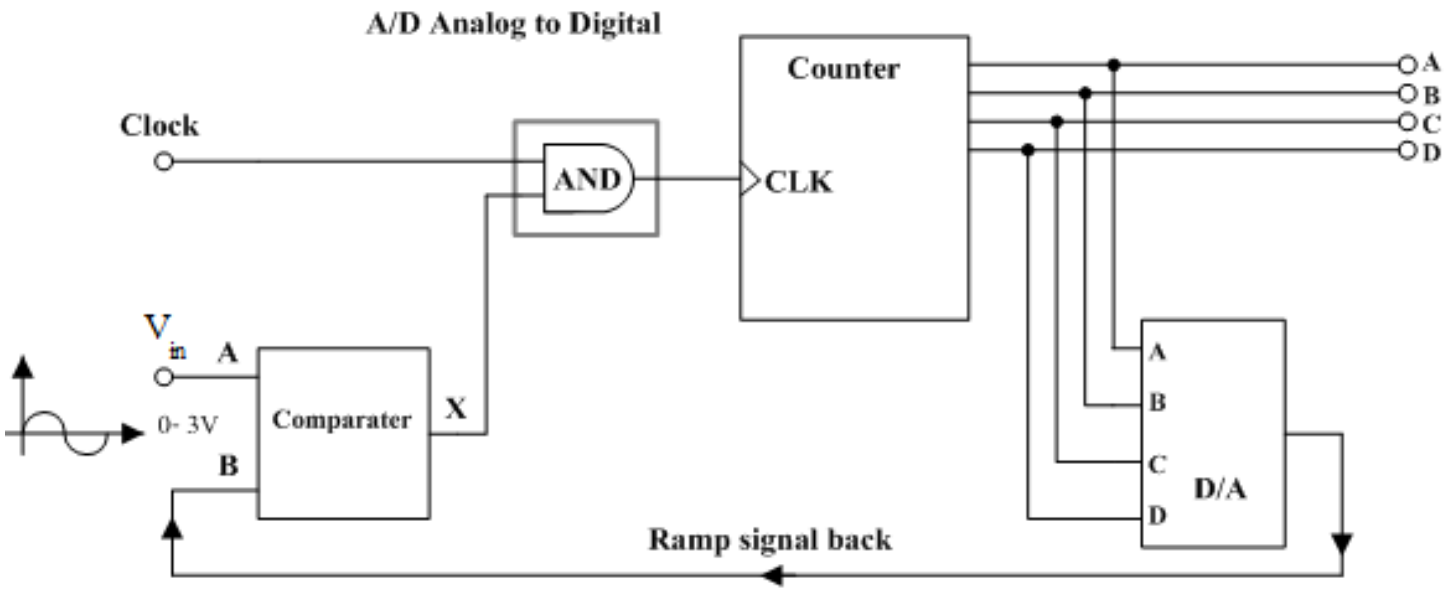


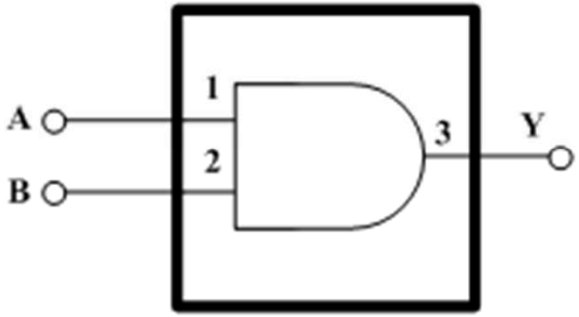
รูปที่ 7.9 บล็อกไดอะแกรมของวงจรแปลงดิจิตอลเป็นแอนะล็อกที่ใช้วงจรนับ และ (ข) ไดอะแกรมเวลาของวงจรแปลงดิจิตอลเป็นแอนะล็อกที่ใช้วงจรนับสำหรับระบุค่าแรงดันอินพุต

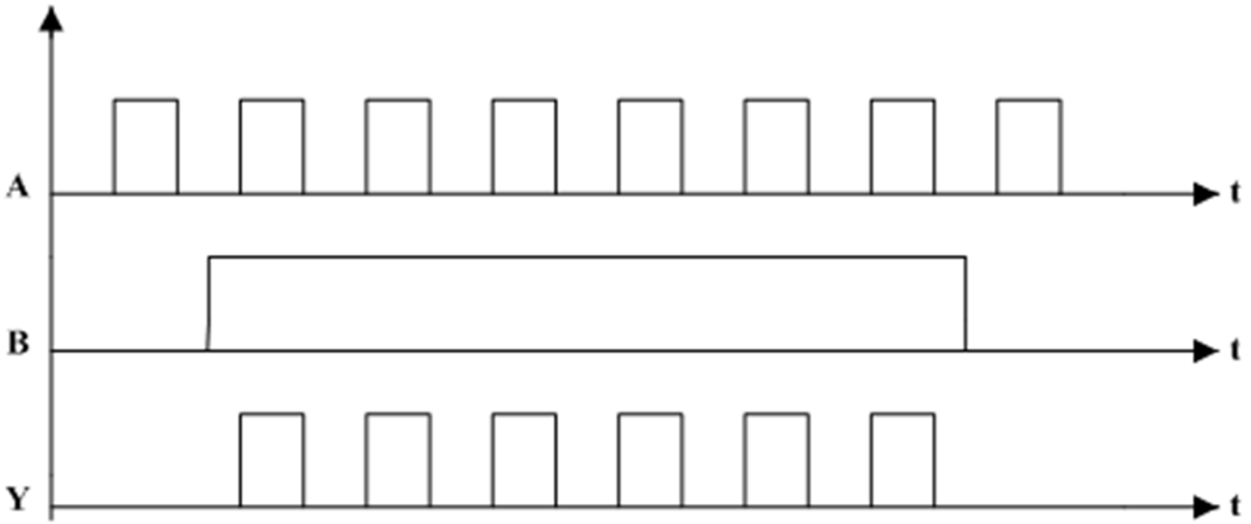
$$v_O = \frac{1}{2}\left(\frac{5}{16}\right) + 5\left(\frac{5}{16}\right) = 5.5\left(\frac{5}{16}\right)V$$

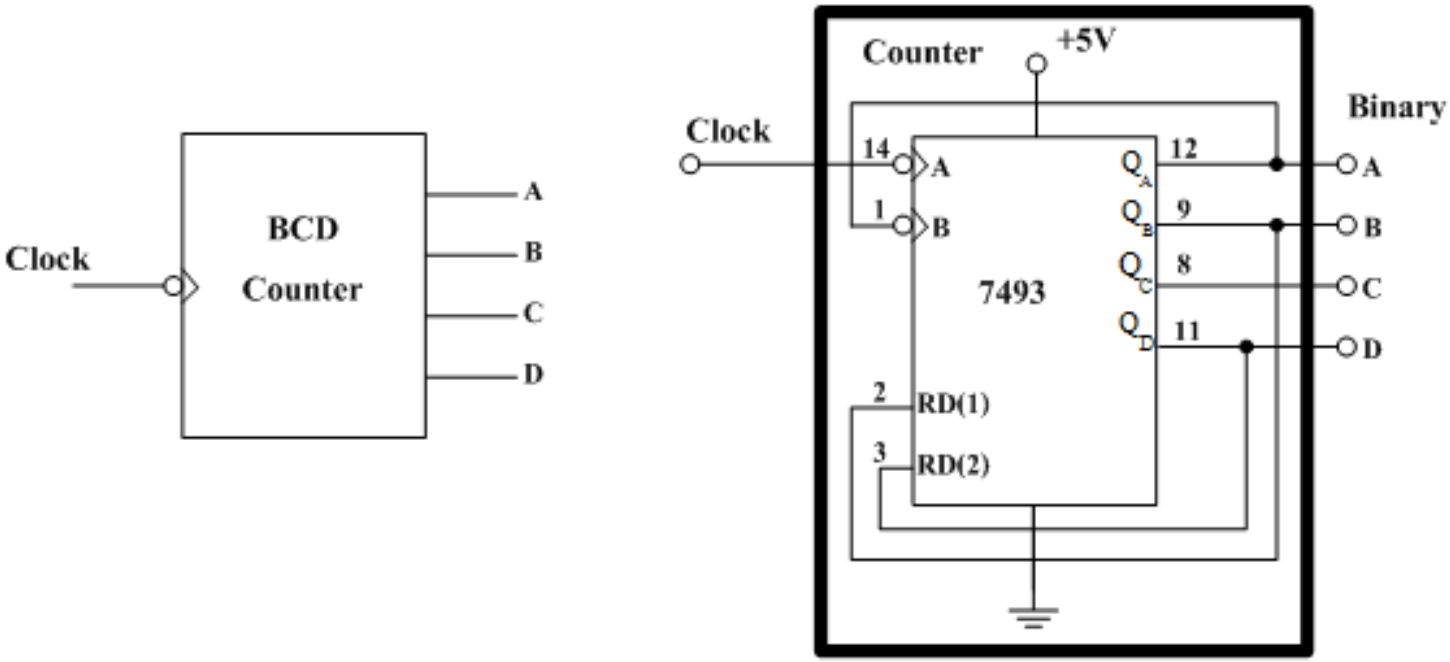
General Diagram of One Class of ADCs



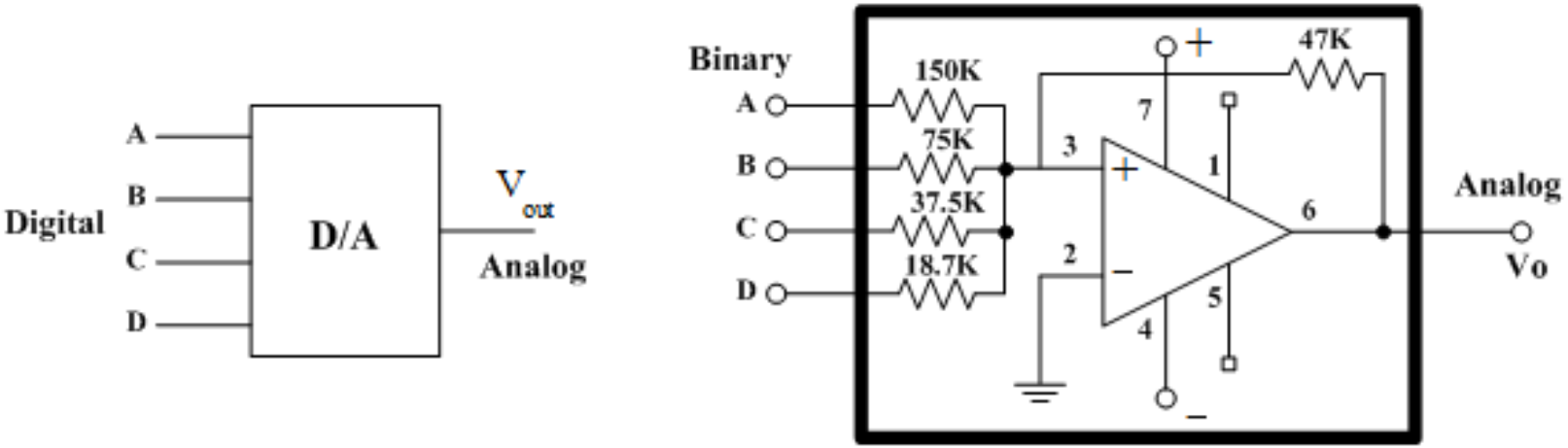

A/D Analog to Digital
Clock
AND
Counter
CLK
A
B
C
D
V in
A
0- 3V
B
Comparater
X
A
B
C
D
D/A
Ramp signal back


A
B
1
2
3
Y


A
B
Y
t
t
t

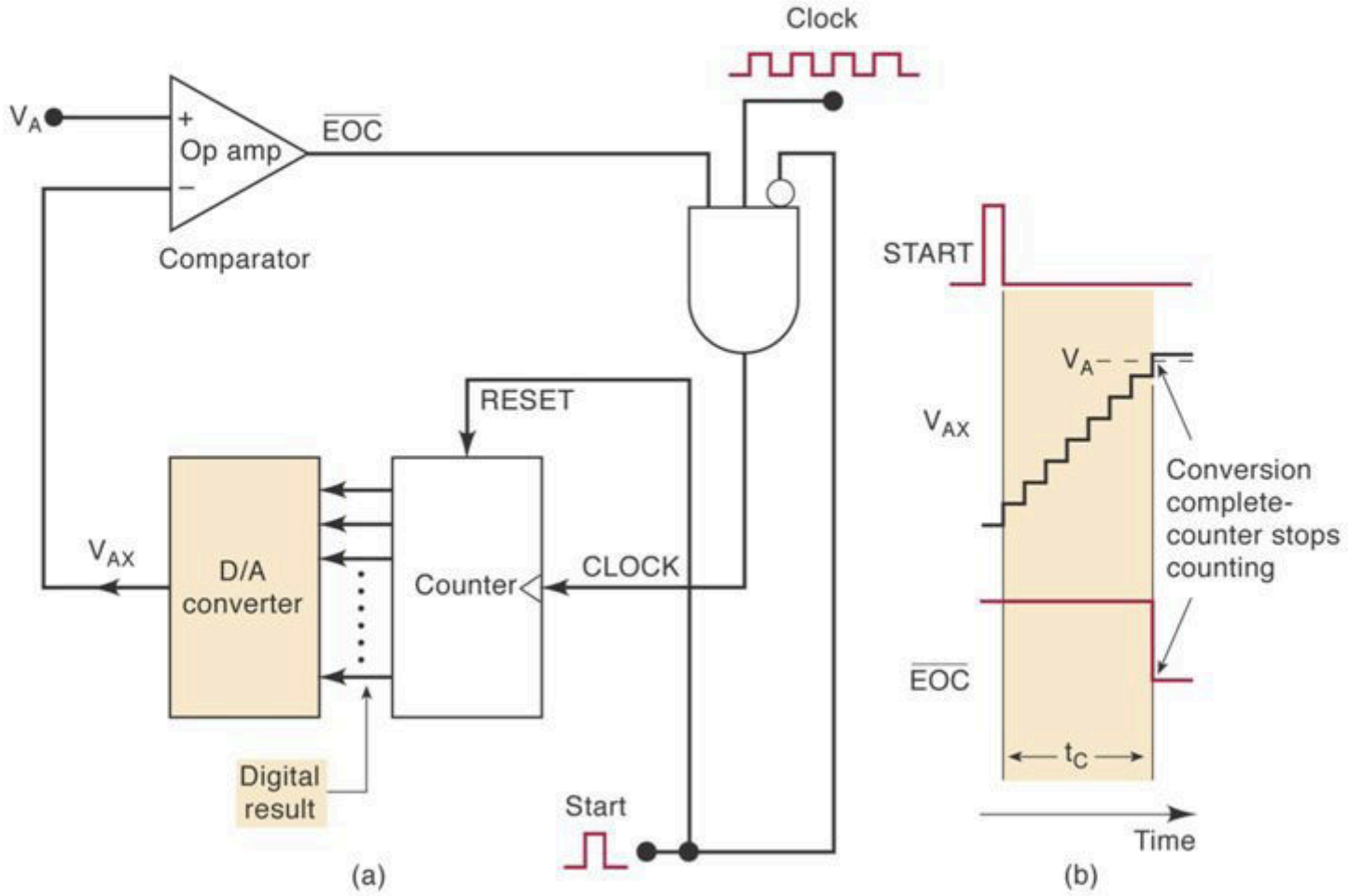


รูปที่ 7.9 แสดงพื้นฐานวงจรนับ BCD

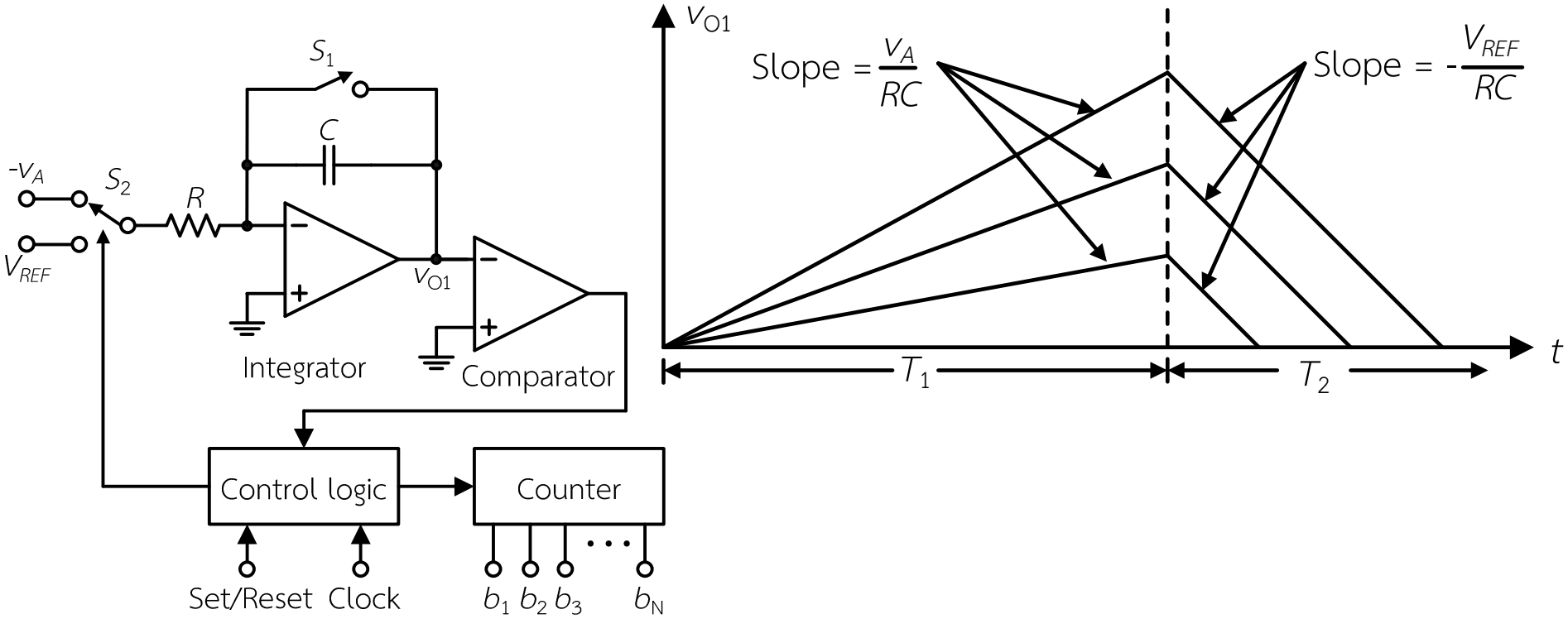


รูปที่ 7.10 แสดงพื้นฐานวงจร D / A

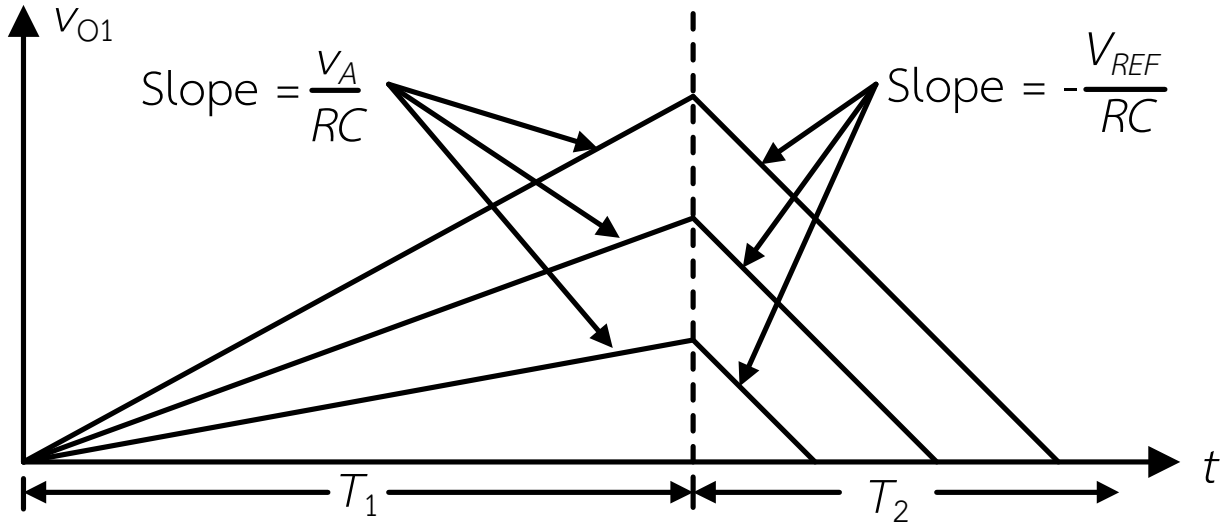
Digital-Ramp ADC



7.3.3 วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบคู่สโลป



รูปที่ 7.10 (ก) บล็อกไดอะแกรม (ข) กราฟคู่สโลปในแกนเวลาของวงจรแปลงแอนะล็อกเป็นดิจิตอล



รูปที่ 7.10 (ก) บล็อกไดอะแกรม (ข) กราฟคู่สโลปในแกนเวลาของวงจรแปลงแอนะล็อกเป็นดิจิตอล

$$T_2 = T_1 = \left(\frac{v'_A}{V_{REF}} \right)$$

$$n = 2^N \left(\frac{v'_A}{V_{REF}} \right)$$

มหาวิทยาลัย
ราชภัฏนครปฐม

Section 16.11 Data Converters

16.96 An analog signal in the range 0 to 5 V is to be converted to a digital signal with a quantization error of less than one percent. (a) What is the required number of bits? (b) What input voltage value represents 1 LSB? (c) What digital output represents an input voltage of 3.5424 V?

16.97 An analog signal in the range 0 to 3.3 V is to be converted to a digital signal with a quantization error of less than 0.5 percent. (a) What is the required number of bits? (b) What input voltage value represents 1 LSB? (c) What digital output represents an input voltage of 2.5321 V.

16.98 (a) What is the output voltage of the 4-bit weighted-resistor D/A in Figure 16.90 if the input is 0110? Assume $R_F = 10\,\text{k}\Omega$. (b) The input signal changes to 1001. What is the output voltage?

16.99 Consider the 4-bit weighted-resistor D/A converter in Figure 16.90. Let $R_F = 10\,\text{k}\Omega$. (a) What is the maximum allowed tolerance ($\pm$percent) in the value of R_1 so that the maximum error in the output is limited to $\pm\frac{1}{2}$ LSB? (b) Repeat part (a) for the resistor R_4.

16.100 The weighted-resistor D/A converter in Figure 16.90 is to be expanded to an 8-bit device. (a) What are the required resistance values of the additional four input resistors? (b) What is the output voltage if the input is 00000001?

16.101 The N-bit D/A converter with an R–$2R$ ladder network in Figure 16.92 is to be designed as a 6-bit D/A device. Let $V_{REF} = -5.0\,V$ and $R = R_F = 5.0\,k\Omega$. (a) What are currents I_1, I_2, I_3, I_4, I_5, and I_6? (b) The input changes by 1 LSB. What is the change in the output voltage? (c) What is the output voltage if the input is 010011? (d) What is the change in output voltage if the input changes from 101010 to 010101?

16.102 The 3-bit flash A/D converter in Figure 16.93 has a reference voltage of $V_{REF} = 3.3$ V. The 3-bit output is 101. What is the range of v_A that produces this output?

16.103 A 6-bit flash A/D converter, similar to the one in Figure 16.93, is to be fabricated. How many resistors and comparators are required?

16.104 A 10-bit counting A/D converter has an analog input in the range $0 \leq v_A \leq 5$ V and has a clock frequency of 1 MHz. (a) What is the maximum conversion time? (b) If the output is 0010010010, what is the range of the input signal v_A (assume a quantization error of $\pm\frac{1}{2}$ LSB). (c) How many clock pulses are required to produce an output of 0100100100?

16.105 Consider the 10-bit counting A/D converter described in Problem 16.104. (a) What is the output if the analog input is $v_A = 3.125$ V? (b) Repeat part (a) if $v_A = 1.8613$ V.

เอกสารอ้างอิง (Reference)

1. Behzad Razavi “Fundamentals of Microelectronics”

2. Donald A. Neamen “Microelectronic Circuits Analysis and Design”

Thank you